

**T.C.  
ULUDAĞ ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ**

**METAL-OKSİT-YARIİLETKEN (MOS) KAPASİTÖRLERİN  
ELEKTRİKSEL ÖZELLİKLERİNİN OKSİT TABAKASI KALINLIĞINA  
BAĞLI DEĞİŞİMLERİNİN İNCELENMESİ**

**M. Cüneyt HACİSMAİLOĞLU**

**YÜKSEK LİSANS TEZİ  
FİZİK ANABİLİM DALI**

**BURSA 2005**

**T.C.  
ULUDAĞ ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ**

**METAL-OKSİT-YARIİLETKEN (MOS) KAPASİTÖRLERİN  
ELEKTRİKSEL ÖZELLİKLERİNİN OKSİT TABAKASI KALINLIĞINA  
BAĞLI DEĞİŞİMLERİNİN İNCELENMESİ**

**M. Cüneyt HACİSMAİLOĞLU**

**YÜKSEK LİSANS TEZİ  
FİZİK ANABİLİM DALI**

Bu Tez 20.07.2005 tarihinde aşağıdaki jüri tarafından oy birliği ile kabul edilmiştir

Prof. Dr. Yüksel BEKTÖRE  
(Danışman)

Prof. Dr. Mehmet ÇAĞLIYAN

Yrd. Doç. Dr. Muhitdin AHMETOĞLU

## ÖZET

Bu çalışmada kapasitör özelliği gösteren Metal-Oksit-Yarıiletken (MOS) yapılar ile çalışılmıştır. Silisyum alt yüzeyler üzerinde çeşitli kalınlıklarda termal oksidasyon ile SiO<sub>2</sub> tabakaları büyütüldükten sonra üst tarafı vakum buharlaştırma yöntemi ile alüminyum ile kaplanarak MOS kapasitörler oluşturulmuştur. 25, 33 ve 110 nm kalınlıklarında SiO<sub>2</sub> tabakaları büyütülerek #C1, #C2 ve #C3 örnekleri hazırlanmıştır. Daha sonra bu örneklerin kapasitans-gerilim (C-V) grafikleri çizilerek teorik değerler ile karşılaştırılmıştır.

C-V ölçümleri ışık altında ve karanlıkta yapılmıştır. Yapılan ölçümler sonucunda 110 nm oksit tabakası kalınlığına sahip örnekten elde edilen kapasitans değerlerinin teorik değerler ile uyumlu olduğu görülmüştür. Ancak 25 ve 33 nm'lik SiO<sub>2</sub> tabakası kalınlığına sahip örneklerden elde edilen deneysel sonuçlar, teorik hesaplamalardan elde edilen değerlerden daha küçük çıkmıştır. Bunun nedeni ise, daha önceden öngörüldüğü gibi, kalınlık azaldıkça SiO<sub>2</sub>'nin yalıtkanlık özelliğinin bozulmasıdır.

**ABSTRACT**

In this study the metal-oxide-semiconductor (MOS) structures, which show capacitor property have been investigated. The MOS structures have been produced by growing a SiO<sub>2</sub> layer at different thicknesses on the p-type silicon substrates via thermal oxidation and aluminum was deposited by vacuum evaporation method as gate metal. The capacitance-voltage (C-V) characteristics of MOS capacitors have been plotted and compared with theoretical values.

The C-V measurements have been done under daylight and dark environment. It is seen that the results which are obtained from sample #C3 are convenient with the theoretical values. But the experimental results which are obtained from sample #C1 and sample #C2 are less than the results which are obtained from theoretical calculations. Its reason is that dielectric property of SiO<sub>2</sub> is degraded for small thicknesses, as proposed before.

<b>İÇİNDEKİLER</b>	<b><u>Sayfa</u></b>
ÖZET .....	i
ABSTRACT .....	ii
İÇİNDEKİLER.....	iii
SİMGELER DİZİNİ .....	v
ŞEKİLLER DİZİNİ .....	vii
ÇİZELGELER DİZİNİ .....	ix
1. GİRİŞ .....	1
2. KURAMSAL BİLGİLER .....	3
2.1. MOS Kapasitörlerin Yapısı Ve Çalışma Prensipleri .....	3
2.1.1. Düz bant Diyagramı .....	5
2.1.2 Toplanma .....	6
2.1.3. Tükenim .....	8
2.1.4. Terslenme.....	9
2.2. MOS Yapı Analizi.....	9
2.2.1 Düz bant Gerilimi Analizi.....	9
2.2.2. Terslenme Bölgesi Yüğü .....	10
2.2.3. Tam Tükenim Analizi.....	11
2.2.4. MOS Kapasitansı.....	15
2.2.4.1. Basit Kapasitans Modeli .....	15
2.2.4.2. Düz Bant Kapasitansı.....	17
2.2.4.3. Derin Tükenim Kapasitansı.....	18
2.2.4.4. MOS Kapasitörlerde İdeal Olmayan Durumlar.....	19
2.3. Tam MOS Analizi .....	20
2.3.1. Elektrik Alanın Yüzey Potansiyeli ile Değişimi .....	20
2.3.2. Terslenme bölgesi yüğü .....	21
2.3.3. Düşük frekans kapasitansı .....	22
2.3.4. Tam çözümün çıkarımı .....	23
2.3.4.1. Düşük frekans kapasitansı.....	25
2.3.4.2. Derin tükenim kapasitansı.....	26

2.3.4.3. Yüksek frekans kapasitansı .....	27
2.4. MOS Kapasitör Teknolojisi .....	30
3. MATERYAL VE YÖNTEM .....	32
3.1. MOS Kapasitörlerin Oluşturulması.....	32
3.1.1. Kuru termal oksidasyon yöntemi .....	33
3.2. Kapasitans-Gerilim (C-V) ölçümleri.....	37
4. SONUÇLAR VE TARTIŞMA .....	40
4.1. Kapasitans-Gerilim (C-V) eğrileri .....	40
SONUÇ .....	56
KAYNAKLAR.....	57
TEŞEKKÜR .....	58
ÖZGEÇMİŞ.....	59

## SİMGELER DİZİNİ

$V_{DB}$	:	Düz bant gerilimi	(V)
$\phi_M$	:	Metalin iş fonksiyonu	(V)
$\phi_S$	:	Yarıiletkenin iş fonksiyonu	(V)
$\chi_{oksit}$	:	Oksit tabakasının elektron ilgisi	(V)
$\chi$	:	Yarıiletkenin elektron ilgisi	(V)
$E_g$	:	Yarıiletkenin yasak bant aralığı	(eV)
$C_{ok}$	:	Oksit tabakasının birim alan başına kapasitansı	(F/cm <sup>2</sup> )
$Q_N$	:	Yarıiletken/oksit tabakası ara yüzeyinde birim alandaki yük	(C/cm <sup>2</sup> )
$C_{MOS,toplanma}$	:	Toplanma durumunda MOS kapasitansı	(F/cm <sup>2</sup> )
$\epsilon_{ok}$	:	Oksit tabakasının bağlı dielektrik sabiti	
$\epsilon_0$	:	Boşluğun dielektrik sabiti	(F/cm)
$t_{ok}$	:	Oksit tabakası kalınlığı	(cm)
$C_{MOS,tükenim}$	:	Tükenim durumunda MOS kapasitansı	(F/cm <sup>2</sup> )
$C_{MOS,terslenme}$	:	Terslenme durumunda MOS kapasitansı	(F/cm <sup>2</sup> )
$C_D$	:	Tükenim bölgesi kapasitansı	(F/cm <sup>2</sup> )
$V_G$	:	Geçit gerilimi	(V)
$V_t$	:	Termal gerilim	(V)
$k$	:	Boltzmann sabiti	(erg/K)
$T$	:	Kelvin cinsinden sıcaklık	(K)
$N_A$	:	Alıcı atomu yoğunluğu	(cm <sup>-3</sup> )
$n_i$	:	Katkısız yarıiletkende yük taşıyıcı yoğunluğu	(cm <sup>-3</sup> )
$\phi_{MS}$	:	Metal ve yarıiletkenin iş fonksiyonları farkı	(V)
$Q_i$	:	Yarıiletken/oksit tabakası ara yüzeyindeki yük	(C/cm <sup>2</sup> )
$\rho_{ok}$	:	Oksit tabakasındaki yük yoğunluğu	(C/cm <sup>3</sup> )
$Q_{ters}$	:	Terslenme bölgesindeki yük	(C/cm <sup>2</sup> )
$Q_D$	:	Tükenim bölgesindeki yük	(C/cm <sup>2</sup> )
$q$	:	Elektron yükü	(C)
$w$	:	Tükenim bölgesi genişliği	(cm)
$E_s$	:	Yarıiletken yüzeyinde oluşan elektrik alan	(V/cm <sup>2</sup> )

$E_{ok}$	:	Oksit tabakasında oluşan elektrik alanı	(V/cm <sup>2</sup> )
$\psi_s$	:	Yarıiletken yüzeyindeki yüzey potansiyeli	(V)
$\psi_B$	:	Yarıiletkenin öz Fermi seviyesi ile Fermi seviyesi farkı	(V)
$Q_{UY}$	:	Eşik geriliminde tükenim bölgesindeki yük	(C/cm <sup>2</sup> )
$w_m$	:	Tükenim bölgesi genişliğinin en büyük değeri	(cm)
$Q_M$	:	Geçit metalindeki yük	(C/cm <sup>2</sup> )
$V_T$	:	Eşik gerilimi	(V)
$V_{ok}$	:	Oksit tabakası üzerindeki potansiyel düşmesi	(V)
$C_{MOS,terslenme,DF}$	:	Terslenme durumunda düşük frekans kapasitansı	(F/cm <sup>2</sup> )
$C_{MOS,terslenme,YF}$	:	Terslenme durumunda yüksek frekans kapasitansı	(F/cm <sup>2</sup> )
$L_D$	:	Debye uzunluğu	(cm)
$C_{s,DB}$	:	Düz bant durumunda yarıiletken kapasitansı	(F/cm <sup>2</sup> )
$C_{MOS,DB}$	:	Düz bant durumunda MOS kapasitansı	(F/cm <sup>2</sup> )
$E_{s,dng}$	:	Termal denge durumunda yarıiletkendeki elektrik alan	(V/cm <sup>2</sup> )
$C_{MOS,DF}$	:	Düşük frekansta MOS kapasitansı	(F/cm <sup>2</sup> )
$C_{s,DF}$	:	Düşük frekansta yarıiletken kapasitansı	(F/cm <sup>2</sup> )
$E_{s,dt}$	:	Derin tükenim durumunda yarıiletken yüzeyindeki elektrik alan	(V/cm <sup>2</sup> )
$C_{s,dt}$	:	Derin tükenim durumunda yarıiletken kapasitansı	(F/cm <sup>2</sup> )
$x_o$	:	Termal oksidasyon sürecinde oluşan oksit kalınlığı	( $\mu$ m)
$t$	:	Termal oksidasyon süresi	(h)
$x_i$	:	Termal oksidasyonda oksit tabakasının başlangıç kalınlığı	( $\mu$ m)
$E_1$	:	Termal oksidasyonda difüzyon süreci aktivasyon enerjisi	(eV)
$E_1+E_2$	:	Termal oksidasyonda reaksiyon aktivasyon enerjisi	(eV)
$K_1$	:	Termal oksidasyon parametresi	( $\mu$ m)
$K_2$	:	Termal oksidasyon parametresi	( $\mu$ m <sup>2</sup> /h)
$\epsilon_{Si}$	:	Silisyumun bağıl dielektrik sabiti	
$\epsilon_{SiO_2}$	:	SiO <sub>2</sub> 'nin bağıl dielektrik sabiti	



**ŞEKİLLER DİZİNİ****Sayfa**

Şekil 2.1 MOS kapasitör yapısı .....	3
Şekil 2.2 Toplanma, tükenim ve terslenme durumlarında MOS yapıdaki yük dağılımı .	4
Şekil 2.3 Terslenme durumunda MOS yapının enerji bant diyagramı .....	5
Şekil 2.4 Al/SiO <sub>2</sub> /Si MOS yapının düz bant diyagramı.....	6
Şekil 2.5 Toplanma durumundaki bir MOS yapıda yük dağılımı .....	7
Şekil 2.6 Toplanma durumunda yük yoğunluğunun değişimi .....	7
Şekil 2.7 Tükenim durumundaki MOS kapasitörde yük dağılımı ve eşdeğer devresi ....	8
Şekil 2.8 Terslenme bölgesinde elektronlara bağlı olan yük yoğunluğu .....	11
Şekil 2.9 Yük yoğunluğu, elektrik alan, potansiyel ve enerji bant diyagramları .....	13
Şekil 2.10 n-MOS kapasitörün C-V eğrisi .....	17
Şekil 2.11 Yarıiletken yüzeyindeki elektrik alan değişimi .....	20
Şekil 2.12 Terslenme bölgesindeki elektronların yük yoğunluğu değişimi.....	22
Şekil 2.13 Düşük frekans kapasitansının değişimi .....	23
Şekil 2.14 $N_A=10^{15} \text{ cm}^{-3}$ ve $t_{ok}=0.1 \mu\text{m}$ olan bir MOS kapasitör için kapasitansın uygulanan gerilim ile değişimi.....	27
Şekil 3.1 Vakum buharlaştırma sistemi şeması.....	33
Şekil 3.2 Kuru termal oksidasyon sistemi.....	34
Şekil 3.3 SiO <sub>2</sub> oluşum sürecinde gerçekleşen olası durumlar .....	34
Şekil 3.4 Oksit tabakası kalınlığının zamanla değişimi .....	37

Şekil 3.5 C-V ölçümlerinde kullanılan deney düzeneği şeması .....	38
Şekil 3.6 Testpoint programının ekran görüntüsü .....	39
Şekil 4.1 25 nm kalınlığında SiO <sub>2</sub> tabakası olan MOS kapasitör için karanlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği .....	45
Şekil 4.2 33 nm kalınlığında SiO <sub>2</sub> tabakası olan MOS kapasitör için karanlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği .....	46
Şekil 4.3 110 nm kalınlığında SiO <sub>2</sub> tabakası olan MOS kapasitör için karanlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği .....	47
Şekil 4.4 Karanlık ortamda C-V eğrilerinin SiO <sub>2</sub> tabakası kalınlığı ile değişimi .....	48
Şekil 4.5 25 nm kalınlığında SiO <sub>2</sub> tabakası olan MOS kapasitör için aydınlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği .....	49
Şekil 4.6 33 nm kalınlığında SiO <sub>2</sub> tabakası olan MOS kapasitör için aydınlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği .....	50
Şekil 4.7 110 nm kalınlığında SiO <sub>2</sub> tabakası olan MOS kapasitör için aydınlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği .....	51
Şekil 4.8 Aydınlık ortamda C-V eğrilerinin SiO <sub>2</sub> tabakası kalınlığı ile değişimi .....	52
Şekil 4.9 25 nm SiO <sub>2</sub> tabakası olan MOS kapasitörün aydınlık ve karanlık ortamda kapasitansındaki değişim .....	53
Şekil 4.10 33 nm SiO <sub>2</sub> tabakası olan MOS kapasitörün aydınlık ve karanlık ortamda kapasitansındaki değişim .....	54
Şekil 4.11 110 nm SiO <sub>2</sub> tabakası olan MOS kapasitörün aydınlık ve karanlık ortamda kapasitansındaki değişim .....	55

**ÇİZELGELER DİZİNİ****Sayfa**

Çizelge 3.1 1000 °C’de kuru termal oksidasyon süresine bağlı olarak oluşan oksit tabakası kalınlıkları.....	32
Çizelge 3.2 Oksit kalınlığı hesaplamalarında kullanılan parametrelerin değerleri .....	36
Çizelge 4.1 Karanlık ve aydınlık ortamda #C1, #C2 ve #C3 örneklerinden elde edilen birim alan başına C-V değerleri.....	44
Çizelge 4.2 Teorik olarak hesaplanan birim alan başına $C_{ok}$ , $C_{max}$ ve $C_{min}$ kapasitans değerleri .....	44

## 1. GİRİŞ

İlk olarak Thomas Seebeck'in 1821'de PbS'nin yarıiletken özelliklerini bulması ile yarıiletkenler üzerinde yoğun bir şekilde çalışılmaya başlandı. İlerleyen yıllarda Michael Faraday yarıiletkenlerin iletkenliklerinin sıcaklık ile değiştiğini keşfetti. Daha sonra bu malzemelerin ışığa duyarlı oldukları bulundu. 1947'de ilk Bipolar Eklem Transistörün (BJT) üretilmesi ile teknolojiye modern çağ başlamış oldu. 1930'da Lilienfeld'in Metal Oksit Yarıiletken Alan Etkili Transistör (MOSFET) fikrini ortaya atmasına rağmen, ilk MOSFET 1960 yılında Kahn ve Attala tarafından üretildi. Bundan sonra MOSFETler entegre devrelerde (IC) ve yarıiletken teknolojisinde en çok kullanım alanına sahip elemanlar oldu. Silisyum tabanlı entegre devrelerde en çok MOSFETlerin kullanılma nedenleri arasında

- i) üretim kolaylığı
- ii) yüksek yoğunlukta birleştirilebilme
- iii) cihaz başına düşük maliyet
- iv) oldukça küçük boyutlarda üretilebilme
- v) yüksek empedans

gibi özellikleri sıralanabilir.

MOS kapasitörler, MOSFETlerin temel yapılarını oluşturmaktadırlar. MOSFETlerin yaygın olarak kullanılmalarından dolayı MOS kapasitörler üzerinde de oldukça yoğun olarak çalışılmaktadır.

Günümüz teknolojisinde, özellikle de bilgisayar teknolojisinde boyutlar giderek küçülmektedir. Bu küçülmenin nedenleri arasında cihaz performansının artırılması gelmektedir. Çünkü bilgisayar işlemcilerinde (CPU) ve belleklerinde (RAM) genellikle temel birim olarak MOS yapılar (MOSFET, CMOS ve MOS kapasitörler) kullanılmaktadır. Bilgisayar teknolojisindeki gelişmeyi belirleyen Moore yasasına göre, bilgisayarların hızlarının artırılması için CPU ve RAMlerde kullanılan transistör sayısı her 18 ayda iki katına çıkacaktır. Transistör sayısındaki bu hızlı artış ile birlikte cihaz boyutları da hızlı bir şekilde küçülecektir. Ancak boyutlardaki bu hızlı küçülme, cihazların sağlıklı çalışmamasına neden olan birçok sorunu da beraberinde getirmektedir. Bu sorunların en önemlileri sızıntı akımlarıdır. Söz edilen bu sorunları

aşabilmek için yarıiletken teknolojisi, özellikle de MOS teknolojisi giderek önemini arttırmaktadır.

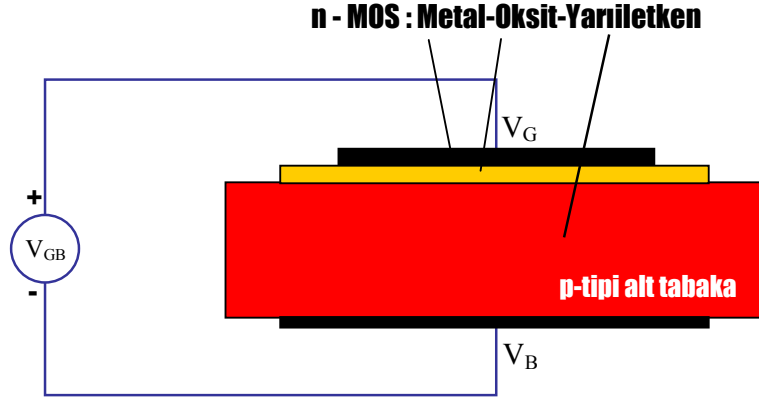
Klasik MOS kapasitörlerde yalıtkan olarak SiO<sub>2</sub> kullanılmaktadır. SiO<sub>2</sub> cihaz boyutlarının küçülmesinde sınırlayıcı bir etkidir. Çünkü boyutlardaki küçülme ile SiO<sub>2</sub> tabakasının kalınlığı azalmakta, bu ise SiO<sub>2</sub>'nin dielektrik özelliğinin yetersiz kalmasına neden olmaktadır. Bu problemlerin üstesinden gelebilmek için daha küçük boyutlarda, SiO<sub>2</sub> yerine kullanılabilir yeni malzemelerin arayışı içerisine girilmiştir.

Burada yapılan çalışmada kalınlığın azalması ile SiO<sub>2</sub>'nin dielektrik özelliğinin bozulması üzerinde durulmuştur. Üç farklı kalınlıkta SiO<sub>2</sub> tabakasına sahip MOS kapasitör oluşturulmuş ve bunların kapasitans-gerilim (C-V) karakteristikleri incelenmiştir.

## 2. KURAMSAL BİLGİLER

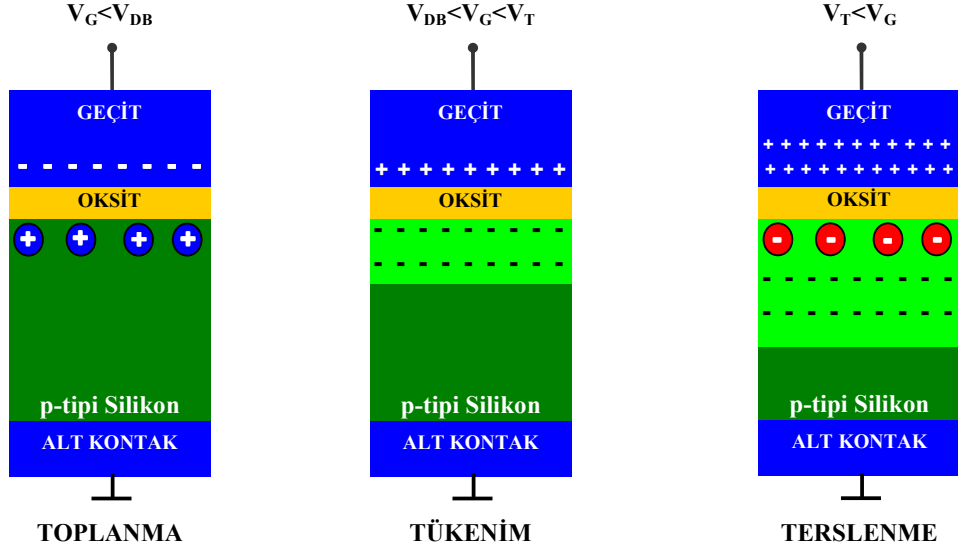
### 2.1. MOS Kapasitörlerin Yapısı ve Çalışma Prensipleri

MOS kapasitör Şekil 2.1’de gösterildiği gibi bir metal-oksit-yarıiletken oluşan bir yapıdır. Bu yapı bir yarıiletken alt yüzey, ince bir oksit tabakası ve en üstte geçit olarak adlandırılan bir metal kontakta oluşmaktadır. İkinci metal tabakası yarıiletkenin diğer yüzeyine ohmik kontak olarak kaplanmıştır. Şekildeki, yapıda alt yüzey p-tipi yarıiletkenidir. Bu tür MOS kapasitörler n-tipi MOS kapasitör olarak adlandırılır. Çünkü terslenme bölgesi n-tipi yarıiletken gibi davranır.



Şekil 2.1 MOS kapasitör yapısı

Bir MOS kapasitördeki farklı öngerilimleme modlarını anlamak için üç farklı öngerilim değerini ele alalım. Bunlardan biri düz bant geriliminin altında, biri düz bant gerilimi ile eşik gerilimi arasında diğeri eşik geriliminin üzerinde değerler olsun. Bu üç besleme rejimi sırası ile toplanma (accumulation), tükenim (depletion) ve terslenme (inversion) durumu olarak adlandırılır. Bu üç rejimde yüklerin dağılımı Şekil 2.2’de gösterilmiştir.

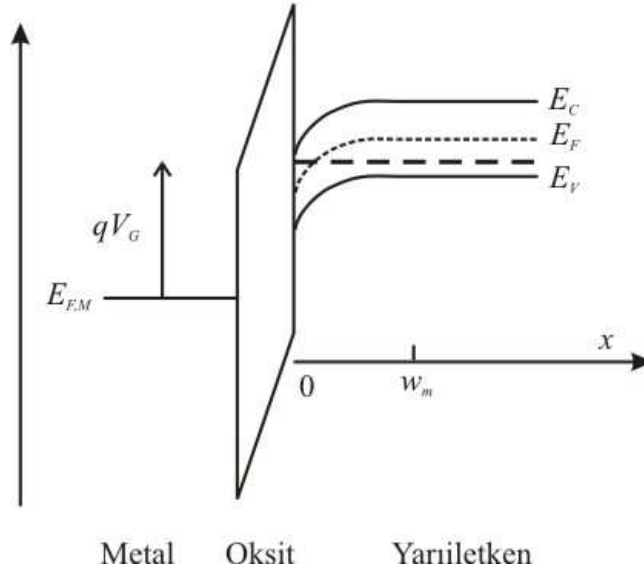


Şekil 2.2 Toplanma, tükenim ve terslenme durumlarında MOS yapıdaki yüklerin dağılımı (Zeghbrock, 2004)

Toplanma durumu, genellikle negatif geçit gerilimlerinde görülür. Geçitteki negatif yüklerden dolayı yarıiletkendeki boşluklar yarıiletken/oksit tabakası ara yüzeyine doğru çekilirler. Geçide pozitif gerilim uygulandığında ise geçitteki pozitif yükler hareketli boşlukları alt yüzeyin iç kısımlarına doğru iterler ve tükenim durumu ortaya çıkar. Bu durumda ara yüzey hareketli yüklerden arınmış olur ve alıcı (akseptör) atomlarına bağlı olarak uzay yük bölgesinde sadece negatif yükler kalır. Toplanma ve tükenim rejimlerini birbirinden ayıran geçit gerilimi değerine " $V_{DB}$ , düz bant gerilimi" denir. Eşik geriliminin üzerindeki geçit gerilimi değerlerinde terslenme durumu ortaya çıkar. Terslenme durumunda, tükenim bölgesine ek olarak yarıiletken-oksit tabakası ara yüzeyinde negatif yüklenmiş bir terslenme bölgesi vardır. Bu terslenme bölgesi, pozitif geçit potansiyeli tarafından ara yüzeye çekilen azınlık yük taşıyıcılarına bağlıdır.

Tersleme durumundaki MOS kapasitörün enerji-bant diyagramı Şekil 2.3'te verilmiştir. Oksit tabakası, yarıiletken ile geçit metali arasında yük akışına izin vermeyen çok geniş bant aralıklı bir yalıtkan olarak karakterize edilebilir. Yarıiletkendeki bant bükülmesi tükenim tabakasının varlığına bağlıdır. Yarıiletken-oksit tabakası ara yüzeyinde, Fermi enerjisi iletkenlik bandı kıyasına yakındır.

Uygulanan geçit gerilimine bağlı olarak MOS yapılarda dört farklı durum ortaya çıkar. Bunlar düz bant, tükenim, terslenme ve toplanma rejimleridir. Düz bant durumu, MOS yapıya herhangi bir gerilim uygulanmadığında var olan durumdur. Bu durumda yarıiletkenin enerji bantları düzdür. Alt yüzeydeki boşlukların pozitif geçit potansiyeli tarafından daha da ileri itildiği durumda yüzey bölgesi tükenimi gerçekleşir. Daha büyük bir geçit geriliminde elektronlar (p-tipi yarıiletken için azımlık taşıyıcılar) terslenme tabakası oluşturacak şekilde yüzeye doğru çekilirler. Negatif geçit gerilimi altında ise boşluklar yüzeye doğru çekilirler. Bu durumda da toplanma rejimi ortaya çıkar.

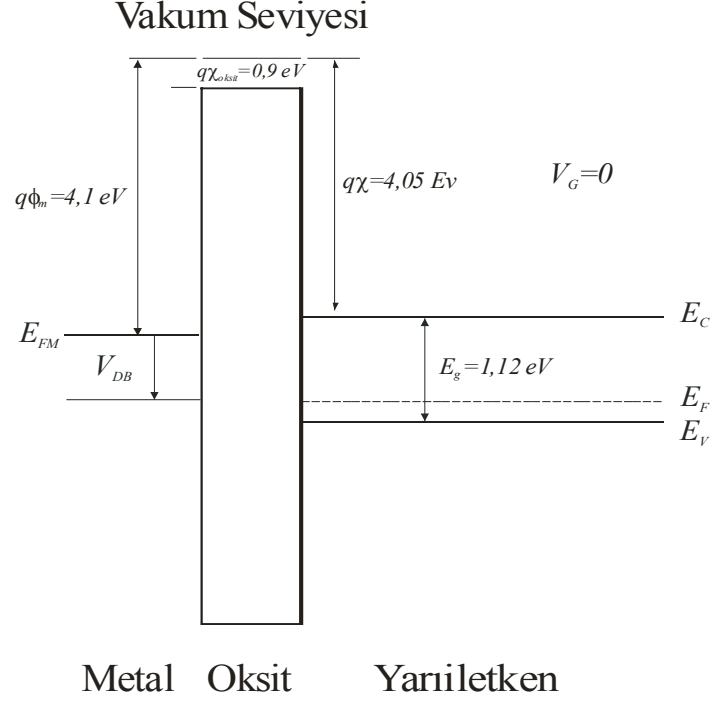


Şekil 2.3 Terslenme durumundaki MOS yapının enerji-bant diyagramı (Sze,1981)

### 2.1.1 Düz bant Diyagramı

Düz bant terimi, yarıiletkenin enerji bant diyagramının düz bir şekilde sahip olduğunu belirler. Bu durumdaki bir yarıiletkeninde hiç yük taşıyıcı bulunmaz. Al/SiO<sub>2</sub>/Si MOS yapının düz bant diyagramı Şekil 2.4'te verilmiştir. Şekilde  $\phi_M$  ile alüminyumun iş fonksiyonu,  $\chi_{\text{oksit}}$  ve  $\chi$  ile oksit tabakasının ve yarıiletkenin elektron ilgileri gösterilmiştir.  $E_g$  ise yarıiletkenin (silisyumun) yasak bant aralığı enerjisidir. Literatürde SiO<sub>2</sub>'nin yasak bant aralığı enerjisi 8-9 eV olarak geçmektedir.





Şekil 2.4 Al/SiO<sub>2</sub>/Si MOS yapının düz bant diyagramı (Sze, 1981)

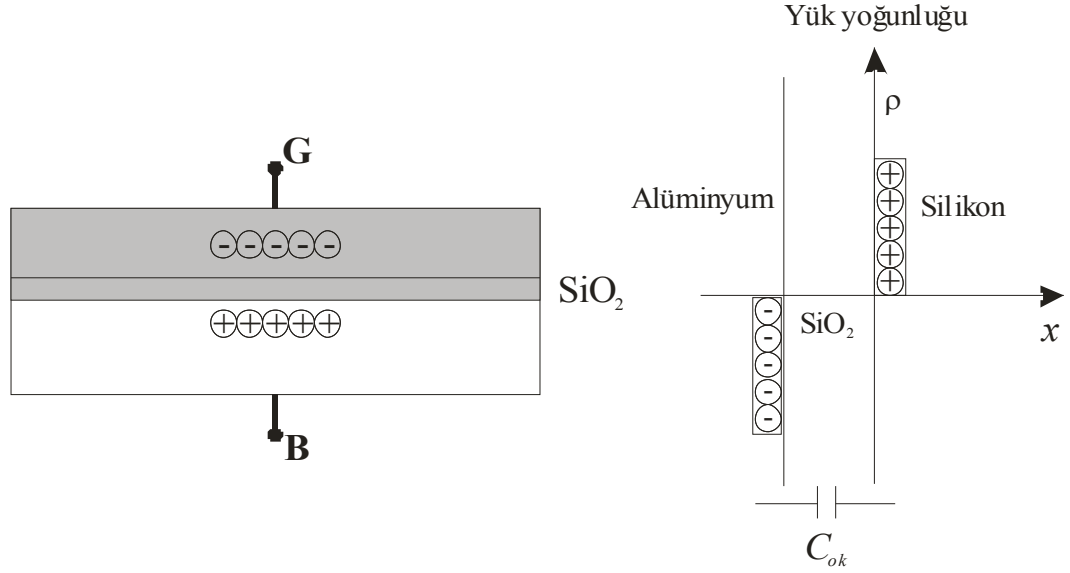
Geçit metali ve yarıiletkenin iş fonksiyonları farkına eşit bir potansiyel farkı geçide uygulandığında düz bant gerilimi ( $V_{DB}$ ) elde edilir.

### 2.1.2 Toplanma

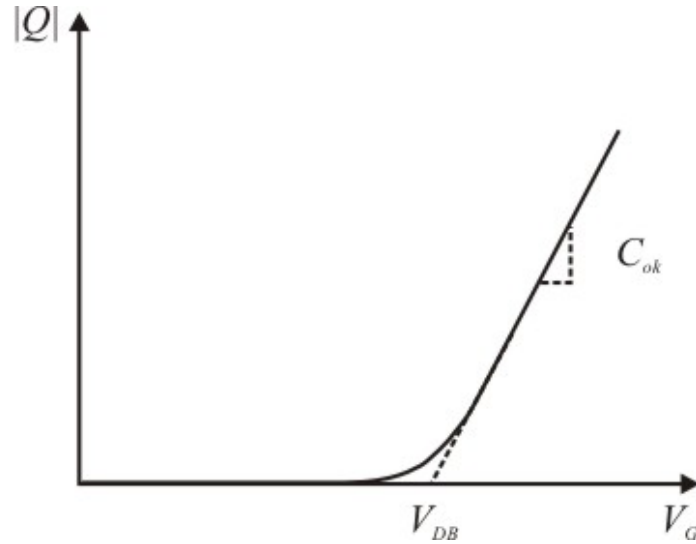
Geçit gerilimi olarak düz bant geriliminden daha küçük bir gerilim (genellikle negatif değerde) uygulandığında toplanma durumu ortaya çıkar. Geçitte bulunan negatif yükler yarıiletkendeki boşlukları yüzeye doğru çekerler. Böylece yarıiletkenin yüzeyindeki boşluk yoğunluğu toplam değerinin üzerine çıkar. Bu duruma yüzey toplanması denir. Yüzey toplanması durumundaki yük dağılımı ve eşdeğer devresi Şekil 2.5'te görülmektedir. Buna göre toplam kapasitans, yalıtıcıya yani SiO<sub>2</sub>'e bağlı olacaktır. Yüzey toplanma durumunda yarıiletken/oksit tabakası ara yüzeyinde, birim alandaki yükün ( $Q_N$ ) uygulanan geçit gerilimine bağlı değişiminden birim alan başına oksit kapasitansı  $C_{ok}$

$$C_{MOS, toplanma} = C_{max} = C_{ok} = \frac{\epsilon_{ok} \epsilon_0}{t_{ok}} \quad (2.1)$$

ifadesi ile verilir. Burada  $\epsilon_{ox}$ ,  $\text{SiO}_2$ 'in bağıl dielektrik geçirgenliğidir ve değeri 3.9'dur.



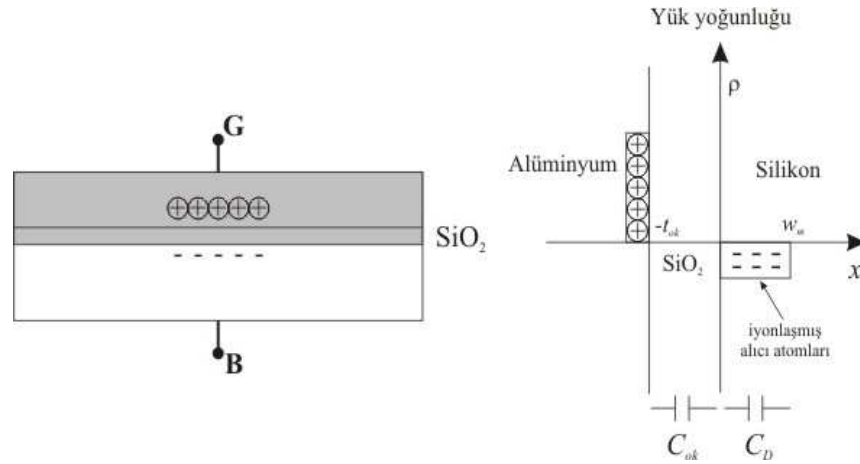
Şekil 2.5 Toplanma durumundaki bir MOS yapıda yük dağılımı



Şekil 2.6 Toplanma durumundaki yük yoğunluğunun uygulanan geçit gerilimine bağlı grafiği. Doğrusal kısmın yatay eksenini kestiği nokta düz bant gerilimini, eğimi ise birim alan başına oksit kapasitansını ( $C_{ok}$ ) verir

### 2.1.3. Tükenim

Eşik gerilimi ile düz bant gerilimi arasında bir potansiyel farkı geçide uygulanırsa tükenim durumu ortaya çıkar. Başlangıçta yarıiletkende biriken negatif yükler daha sonra geçit geriliminin artışına bağlı olarak yarıiletkenin üst yüzeyinde yükten arınmış bir bölge oluşmasına neden olur. Hiç yük bulunmayan bu bölgeye tükenim bölgesi denir. Tükenim bölgesinin genişliği uygulanan geçit gerilimine bağlıdır. Bu durumda bulunan silikondaki tükenim bölgesinin kapasitans ifadesi



Şekil 2.7 Tükenim durumundaki MOS kapasitörde yük dağılımı ve eşdeğer devresi

$$C_D = \frac{\epsilon_{Si} \epsilon_0}{w} \quad (2.2)$$

eşitliği ile verilir. Burada  $\epsilon_{Si}$  silikonun bağıl dielektrik sabitidir ve değeri 11.9'dur.  $w$  ise tükenim bölgesinin genişliğidir. MOS kapasitörün toplam kapasitansı ise

$$\frac{1}{C_{MOS,tükenim}} = \frac{1}{C_{tükenim}} = \frac{1}{C_{ok}} + \frac{1}{C_D} \quad (2.3)$$

$$C_{MOS,tükenim} = \frac{C_{ok} C_D}{C_{ok} + C_D} \quad (2.4)$$

olarak elde edilir. Yarıiletkende tükenim tabakasının genişliği uygulanan geçit gerilimindeki artış ile artar. Buna bağlı olarak tükenim tabakasının kapasitansı ve

dolayısı ile de MOS kapasitörün toplam kapasitansı uygulanan geçit gerilimindeki artış ile azalır.

#### 2.1.4. Terslenme

Metal geçide büyük pozitif gerilim uygulandığında terslenme durumu ortaya çıkar. p-tipi yarıiletkendeki azınlık yük taşıyıcılar olan elektronlar oluşan elektrik alan etkisi ile oksit tabakası/yarıiletken ara yüzeyinde toplanırlar. Yarıiletkenin bu bölümündeki elektron yoğunluğu çoğunluk yük taşıyıcıları olan boşluk yoğunluğunu aşar. Bu nedenle yarıiletkenin üst yüzeyi n-tipi yarıiletken gibi davranır. MOS yapılarında gerçekleşen bu olaya terslenme olayı denir.

### 2.2. MOS Yapı Analizi

#### 2.2.1 Düz bant Gerilimi Analizi

Eğer oksit tabakasında ya da oksit tabakası/yarıiletken ara yüzeyinde hiç yük bulunmuyorsa düz bant gerilimi geçit metalinin iş fonksiyonu  $\phi_M$  ve yarıiletkenin iş fonksiyonu  $\phi_S$  arasındaki farka eşit olur;

$$V_{DB} = \phi_M - \phi_S \quad (2.5)$$

İş fonksiyonu, bir elektronu Fermi seviyesinden vakum seviyesine çıkartmak için gerekli olan enerji değeridir. Metaller için bu enerji yaklaşık olarak 4-5 eV değerindedir. Burada, oksit tabakasının üzerine kaplanmış metalin iş fonksiyonunun metalin vakumdaki iş fonksiyonu ile aynı olmadığını belirtilmesi gerekir. Dikkat edilecek diğer bir nokta da yarıiletkenin iş fonksiyonunun katkılama çeşidi ve yoğunluğu ile değiştiğidir. Bunlar göz önünde bulundurulduğunda metal ile yarıiletkenin iş fonksiyonları arasındaki fark,

$$\phi_M - \phi_S = \phi_M - \chi - \frac{E_g}{2q} - V_t \ln\left(\frac{N_a}{n_i}\right) \quad (2.6)$$

olarak elde edilir. Burada  $\chi$  yarıiletkenin elektron ilgisi,  $E_g$  yarıiletkenin yasak bant aralığı enerjisi,  $V_t=kT/q$  termal denge gerilimi,  $N_A$  alıcı katkı yoğunluğu ve  $n_i$  ise saf yarıiletkende yük taşıyıcı yoğunluğudur.

Gerçek MOS yapılar için düz bant gerilimi oksit tabakasında veya oksit tabakası/yarıiletken ara yüzeyinde yük bulunmasına bağlıdır. Oksit tabakası/yarıiletken ara yüzeyinde bulunan  $Q_i$  yükü ve oksit tabakasına düzgün olarak dağılmış olan  $\rho_{ok}$  yük yoğunluğu için düz bant gerilimi

$$V_{DB} = \phi_{MS} - \frac{Q_i}{C_{ok}} - \frac{1}{\epsilon_{ok} \epsilon_0} \int_0^{t_{ox}} \rho_{ok}(x) x dx \quad (2.7)$$

ifadesi ile verilir. Bu ifadedeki ikinci terim oksit tabakası/yarıiletken ara yüzeyinde bulunan yüke bağlı olarak oksit tabakası üzerindeki gerilimdir. Üçüncü terim ise oksit tabakasında bulunan yüke bağlı olan gerilimdir.

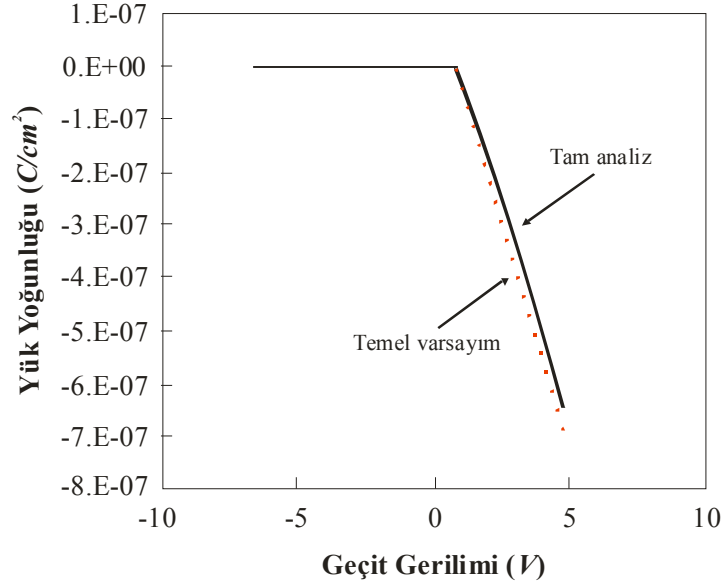
### 2.2.2. Terslenme Bölgesi Yükü

MOSFET modellerinin yapılması için gerekli temel varsayım terslenme bölgesindeki yükün uygulanan gerilim ile doğru orantılı olmasıdır. Hiç gerilim uygulanmadığında ve eşik geriliminin altındaki değerlerde terslenme bölgesindeki yük;

$$Q_{ters} = 0 \quad (2.8)$$

$$Q_{ters} = C_{ok} (V_G - V_T) \quad (2.9)$$

ifadeleri ile verilmektedir. Geçit gerilimi ile yük arasındaki lineer bağımlılık, geçit gerilimindeki değişimin, terslenme bölgesindeki yükün değişimine neden olmasındandır. Yük ile uygulanan gerilim arasındaki orantı katsayısı da geçit oksit tabakası kapasitansıdır. Ayrıca bu varsayıma göre terslenme bölgesi yükü tam olarak oksit tabakası/yarıiletken ara yüzeyinde bulunur. Şekil 2.8'de bu varsayıma ve tam çözüme göre yük yoğunluğunun uygulanan geçit gerilimine göre değişimi verilmiştir.



Şekil 2.8 Bir MOS kapasitördeki terslenme bölgesinde bulunan elektronlara bağlı olarak yük yoğunluğu ( $N_A=10^{17} \text{ cm}^{-3}$  ve  $t_{ox}=20 \text{ nm}$ ). (Zeghbroeck, 2004)

### 2.2.3. Tam Tükenim Analizi

Eşik gerilimi uygulanan MOS kapasitördeki yük yoğunluğu, elektrik alan ve potansiyel değişimi ile enerji bant diyagramı Şekil 2.9'da verilmiştir. Burada analizi basitleştirmek için şu varsayımlar yapılacaktır; 1) Tam tükenim yaklaşımı kullanılabilir ve 2) Eşik gerilimi altındaki değerlerde terslenme tabakasındaki yük sıfırdır. Eşik gerilimin üzerindeki değerlerde ise terslenme bölgesi yükünün uygulanan geçit gerilimi ile doğrusal olarak değiştiği varsayılacaktır.

Tükenim bölgesi yükü

$$Q_d = -qN_A w \quad (2.10)$$

ifadesi ile verilmektedir (Şekil 2.9a). Burada  $w$  tükenme bölgesi genişliği ve  $N_A$  ise yüzeydeki alıcı atomu yoğunluğudur. Yük yoğunluğunun integrali alınırsa oksit tabakası/yarıiletken ara yüzeyindeki elektrik alan dağılımını elde edilir (Şekil 2.9b). Ara yüzeyde yarıiletkendeki ve oksit tabakasındaki elektrik alan ifadeleri

$$E_s = \frac{qN_A w}{\epsilon_{si} \epsilon_0} \quad (2.11)$$

ve

$$E_{ok} = \frac{qN_A w}{\epsilon_{ok} \epsilon_0} \quad (2.12)$$

eşitlikleri ile verilmektedir. Elektrik alan yarıiletken/oksit tabakası ara yüzeyinde dielektrik sabitlerine bağlı olarak ani bir değişim göstermektedir. SiO<sub>2</sub>'nin dielektrik sabiti ( $\epsilon_{ok}=3,9$ ) silikonun dielektrik sabitinden ( $\epsilon_s=11,9$ ) yaklaşık olarak üç kat daha küçük olduğu için, Si/SiO<sub>2</sub> ara yüzeyinde oksit tabakasındaki elektrik alanı, yarıiletkendeki elektrik alandan yaklaşık olarak üç kat daha büyüktür.

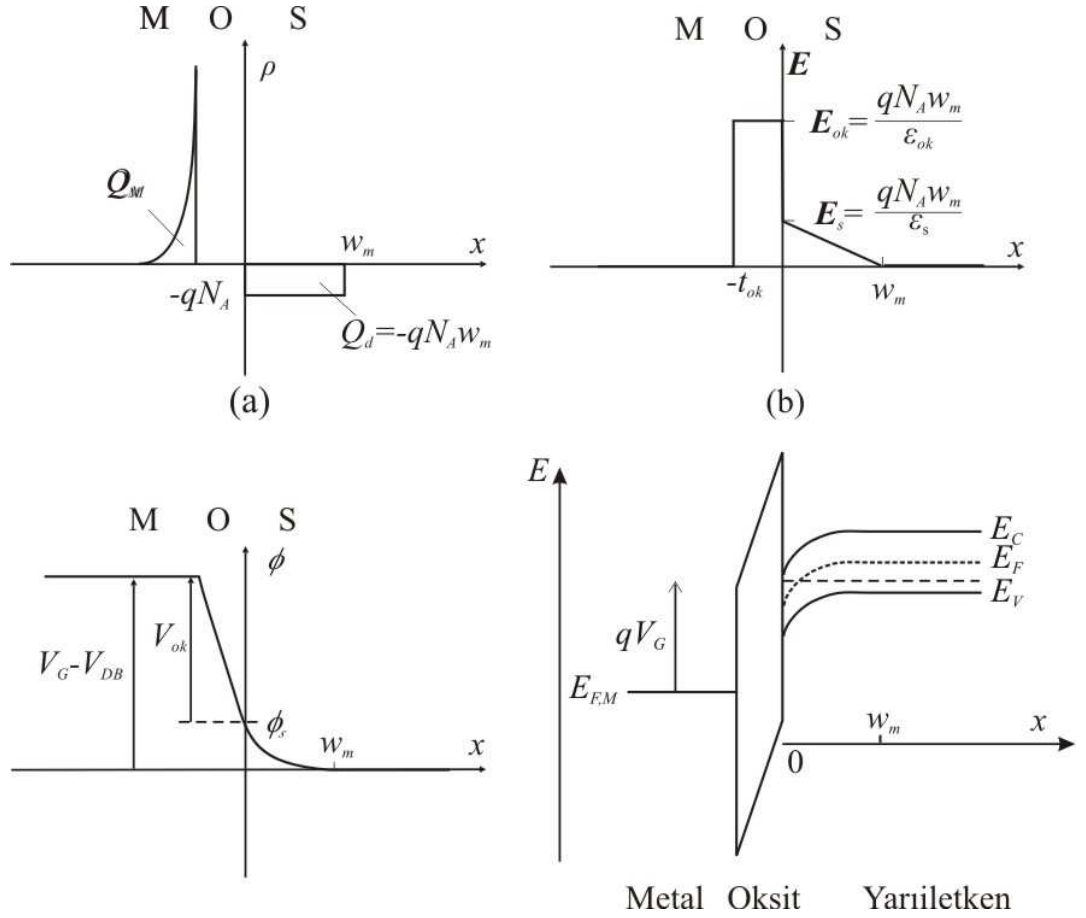
Şekil 2.9c'de gösterilen potansiyeller elektrik alanın integralinin alınması ile elde edilmiştir. Yarıiletken yüzeyindeki potansiyel  $\psi_s$ ,

$$\psi_s = \frac{qN_A w^2}{2\epsilon_s \epsilon_0} \quad (2.13)$$

ifadesi ile verilmektedir. Hesaplanan bu elektrik alan ve potansiyel ifadeleri sadece tükenim durumundaki bağıntılardır. Toplanma durumunda tükenim bölgesi bulunmadığı için tam tükenim yaklaşımı da geçersiz kalır. Terslenme durumunda, tükenim tabakasında ek olarak terslenme tabakasında  $Q_{ters}$  yükü oluşur. Geçit gerilimi artarken bu yükün değeri de yavaş yavaş artmaktadır. Bununla birlikte, bu yük sadece yüzeydeki elektron yoğunluğu, alt tabakadaki  $N_A$  boşluk yoğunluğunu aştığı zaman önem kazanır. Yüzeydeki potansiyel farkı yarıiletken üzerindeki potansiyel farkının ( $\psi_B$ ) iki katı olduğu zaman bu durum geçerlidir.  $\psi_B$  için

$$\psi_B = V_t \ln \frac{N_A}{n_i} \quad (2.14)$$

denklemini yazılabilir. Bundan dolayı terslenme durumunda tükenim tabakasının genişliği potansiyele bağlı olarak sınırlı bir değerde kalır:



Şekil 2.9 Tükenim durumundaki bir MOS yapı için (a) yük yoğunluğu, (b) elektrik alan, (c) potansiyel ve (d) enerji bant diyagramı (Zeghbroeck, 2004)

$$w = \sqrt{\frac{2\epsilon_s \epsilon_0 \psi_s}{qN_A}}, \quad 0 \leq \psi_s \leq 2\psi_B \quad (2.15)$$

Yarıiletken üzerindeki potansiyel farkından iki kat daha büyük yüzey potansiyelleri için, terslenme tabakasındaki yük değişimi yüzey potansiyelinin değişimi ile üstel olarak artar. Sonuç olarak, yüzey potansiyeli sabit kalırken, oksit tabakası üzerindeki potansiyel farkı artan geçit gerilimi ile artar. Bu nedenle, eşik gerilimdeki yüzey potansiyeli ve tükenim tabakası genişliğinin, terslenme durumundaki değerler ile aynı olduğu varsayılacaktır. Eşik geriliminde tükenim tabakasındaki yük (uzay yükü)  $Q_{UY}$  ve tükenim tabakası genişliği  $w_m$ ;

$$Q_{UY} = -qN_A w_m \quad (2.16)$$



$$w_m = \sqrt{\frac{2\varepsilon_s \varepsilon_0 (2\psi_B)}{qN_A}} \quad (2.17)$$

ifadeleri ile verilmektedir. Eşik geriliminin üzerinde, yarıiletkendeki toplam yük geçit elektrotundaki yüke eşit olur:

$$Q_M = -(Q_d + Q_{ters}) \quad (2.18)$$

Buna göre geçit gerilimi

$$V_G = V_{DB} + \psi_s + \frac{Q_M}{C_{ok}} = V_{DB} + \psi_s - \frac{Q_d + Q_{ters}}{C_{ok}} \quad (2.19)$$

ifadesi ile verilir.

Tükenim durumunda terslenme bölgesindeki yük sıfır olduğu için geçit gerilimi

$$V_G = V_{DB} + \psi_s + \frac{\sqrt{2\varepsilon_s \varepsilon_0 qN_A \psi_s}}{C_{ok}}, \quad 0 \leq \psi_s \leq 2\psi_B \quad (2.20)$$

olarak verilebilir. Terslenme durumunda ise bu ifade

$$V_G = V_{DB} + 2\psi_B + \frac{\sqrt{4\varepsilon_s \varepsilon_0 qN_A \psi_B}}{C_{ok}} - \frac{Q_{ters}}{C_{ok}} = V_T - \frac{Q_{ters}}{C_{ok}} \quad (2.21)$$

şekline dönüşür. Burada

$$V_T = V_{DB} + 2\psi_B + \frac{\sqrt{4\varepsilon_s \varepsilon_0 qN_A \psi_B}}{C_{ok}} \quad (2.22)$$

eşik gerilimini ifade etmektedir. Denklem (21)'den görüldüğü gibi geçit gerilimindeki herhangi bir değişim terslenme bölgesindeki yükün değişmesine neden olur.

## 2.2.4. MOS Kapasitansı

Kapasitans-gerilim (C-V) ölçümleri MOS kapasitörlerin yapısı hakkında bilgi vermektedir. Bundan dolayı C-V ölçümleri üzerinde yoğun olarak çalışılmaktadır. İlk olarak C-V ölçümlerinin frekans ile nasıl değiştiği incelenecektir.

Düşük frekanslı veya yarı-statik ölçümler termal denge durumunda yapılmaktadır. Yük değişiminin geçit gerilimindeki değişime oranı kapasitansı vermektedir. Geçit gerilimi yavaş bir şekilde değiştirilirken birim zamanda yükteki değişim bir elektrometre yardımı ile belirlenerek düşük frekanslı C-V ölçümü yapılabilmektedir.

Yüksek frekans kapasitansı, yüksek frekanslardaki küçük-sinyal kapasitans ölçümleri ile belirlenebilmektedir. Kapasitansın gerilim ile değişimini elde etmek için geçit gerilimi yavaş bir şekilde değiştirilmektedir. Yüksek frekans kapasitansı terslenme bölgesindeki yükün değişimine bağlıdır.

### 2.2.4.1. Basit Kapasitans Modeli

Bu modele göre MOS yapısı, seri bağlı iki kapasitör gibi ele alınmıştır: Birincisi oksit tabakasının oluşturduğu kapasitör, ikincisi ise tükenim bölgesinin oluşturduğu kapasitör gibi düşünülmektedir. Toplanma durumunda terslenme bölgesi olmadığından dolayı MOS yapısının kapasitansı sadece oksit tabakasının kapasitans değerine bağlıdır. Buna göre toplanma durumundaki düşük ve yüksek frekans kapasitansı,

$$C_{MOS,toplanma} = C_{ok} , V_G \leq V_{DB} \quad (2.23)$$

olmaktadır.

Tükenim durumundaki düşük ve yüksek frekans kapasitansı seri bağlı kapasitörlerin eşdeğer kapasitansına eşittir:

$$C_{MOS,tukenim} = \frac{1}{\frac{1}{C_{ok}} + \frac{w}{\epsilon_s \epsilon_0}} , V_{DB} \leq V_G \leq V_T \quad (2.24)$$

Burada  $w$ ,

$$w = \sqrt{\frac{2\epsilon_s \epsilon_0 \psi_s}{qN_A}} \quad (2.25)$$

ifadesi ile verilen tükenim bölgesi genişliğidir.

Geçit geriliminin özel bir değerine karşılık gelen kapasitansı belirlemek için, geçit gerilimi ve tükenim bölgesindeki potansiyel arasındaki ilişkinin bilinmesi gerekmektedir. Bu ilişki,

$$V_G = V_{DB} + \psi_s + \frac{\sqrt{2\epsilon_s \epsilon_0 q N_A \psi_s}}{C_{ok}}, \quad 0 \leq \psi_s \leq 2\psi_B \quad (2.26)$$

ifadesi ile verilmektedir.

Terslenme durumunda, kapasitans geçit geriliminden bağımsız olur. Terslenme bölgesine yük eklenip çıkarıldığı için, düşük frekans kapasitansı oksit tabakasının kapasitansına eşittir.

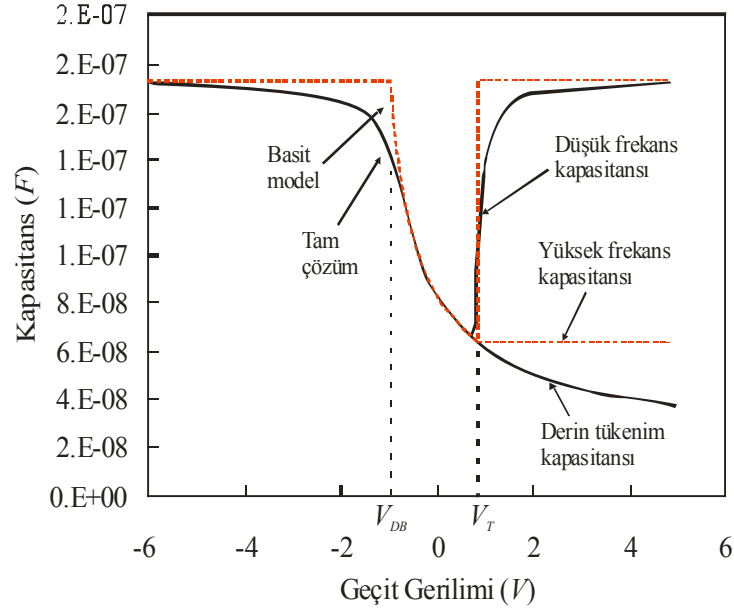
$$C_{MOS,terslenme,DF} = C_{ok} \quad (2.27)$$

Yüksek frekansta tükenim bölgesi genişliği en büyük değerine ulaşır. Bu durumda yüksek frekans kapasitansı, oksit tabakası ve terslenme bölgesinin kapasitanslarının seri eşdeğerine eşit olur:

$$C_{MOS,terslenme,YF} = \frac{1}{\frac{1}{C_{ok}} + \frac{w_m}{\epsilon_s \epsilon_0}}, \quad V_G \geq V_T \quad (2.28)$$

Burada  $w_m$  tükenim bölgesinin maksimum genişliğidir.

Basit kapasitans modeli ile elde edilmiş C-V eğrisi Şekil 2.10'da verilmiştir. Sürekli çizgiler tam kapasitans analizinden noktalı, çizgiler ise basit modelden hesaplanan kapasitansı göstermektedir.



Şekil 2.10 n-MOS kapasitörün C-V eğrisi. Basit modelden elde edilen düşük frekans ve yüksek frekans karakteristiği noktalı çizgiler ile gösterilmiştir (Zeghbrock, 2004)

#### 2.2.4.2. Düz Bant Kapasitansı

Basit kapasitans modeline göre, düz bant kapasitansı oksit tabakasının kapasitansına eşittir. Bununla birlikte düşük frekans için tam analizden elde edilen çözüm ile karşılaştırması Şekil 2.10'da verilmiştir. Eğrilerdeki bu farklılığın nedeni yarıiletken içersindeki yük değişiminin, basit kapasitans modelinde ihmal edilmesidir. Ancak düz bant kapasitansının tam analizi için bu durum ihmal edilmez.

Yarıiletkendeki yük değişimini de içeren düz bant kapasitansını elde etmek için, Poisson denklemi üzerinde durulacaktır. Düz bant durumunda yarıiletken üzerindeki potansiyel düşmesi sıfır olduğu için, düz bant potansiyeli civarında geçit gerilimi değiştirilirken bu potansiyelin küçük olacağı beklenir. Bu durumda Poisson denklemi aşağıdaki ifadedeki gibi basitleştirilebilir:

$$\frac{d^2\psi}{dx^2} = \frac{q}{\epsilon_s \epsilon_0} (N_A^+ - p) = \frac{qN_A}{\epsilon_s \epsilon_0} \left[ 1 - \exp\left(-\frac{\psi}{V_t}\right) \right] \cong \frac{qN_A}{\epsilon_s \epsilon_0} \frac{\psi}{V_t} \quad (2.29)$$

Düz bant durumunda iyonlaşmış verici atomları ya da elektronlar p-tipi yarıiletkende bulunmayacakları için bunların oluşturdukları yükler Denklem (29)'a katılmamışlardır. Üstel ifadenin Taylor serisi açılımında ilk iki terimi kullanılarak Poisson denklemi doğrusal bir fonksiyon haline gelmiştir. Buna göre Denklem (29)'un çözümü

$$\psi = \psi_s \exp\left(-\frac{x}{L_D}\right) \quad (2.30)$$

şeklinde olmaktadır. Burada  $\psi_s$  yarıiletkenin yüzey potansiyeli ve  $L_D$  ise

$$L_D = \sqrt{\frac{\epsilon_s \epsilon_0 V_t}{q N_A}} \quad (2.31)$$

eşitliği ile verilen Debye uzunluğudur. Bu çözümden düz bant durumundaki yarıiletkenin kapasitans ifadesi

$$\begin{aligned} C_{s,DB} &= \frac{dQ_s}{d\psi_s} = \frac{d(\epsilon_s \epsilon_0 \psi_s / L_D)}{d\psi_s} \\ &= \frac{\epsilon_s \epsilon_0}{L_D} \end{aligned} \quad (2.32)$$

olarak elde edilir. Düz bant durumunda MOS kapasitörün toplam kapasitansı, oksit tabakası kapasitansı ve yarıiletken kapasitansının seri bağlı eşdeğeri olacaktır:

$$C_{MOS,DB} = \frac{1}{\frac{1}{C_{ok}} + \frac{L_D}{\epsilon_s}} \quad (2.33)$$

#### 2.2.4.3. Derin Tükenim Kapasitansı

Bir MOS kapasitörde yüksek frekans kapasitans ölçümü yapılırken derin tükenim durumu ortaya çıkar. Bunun nedeni ölçüm sırasında geçit geriliminin “hızlı” bir şekilde değiştirilmesidir. Çünkü geçit geriliminin hızlı bir şekilde değişmesi MOS yapının hemen termal denge durumuna gelmesini engeller. Gerilim, düz bant potansiyelinden eşik gerilimi ve onun üzerindeki değerlere arttırılırken terslenme bölgesi hiç oluşmaz ya da kısmen oluşur. Bunun nedeni azınlık yük taşıyıcıları sayısının

terslenme bölgesini oluşturacak yoğunluğa ulaşamamalarıdır. Bundan dolayı tükenim bölgesi termal denge durumundaki en büyük değerinin üzerine çıkar ve artan gerilim ile azalan bir eşdeğer kapasitans elde edilir.

#### 2.2.4.4. MOS Kapasitörlerde İdeal Olmayan Durumlar

MOS kapasitörlerdeki ideal olmayan durumlar bağlı yükler, hareketli (mobil) yükler ve yüzey durumlarındaki yüklerdir. Bu üç tür yük C-V ölçümlerinden belirlenebilmektedir.

Oksit tabakasındaki bağlı yükün etkisi, C-V eğrisini kaydırması şeklinde ortaya çıkar. Oksit tabakası/yarıiletken ara yüzeyindeki pozitif bağlı yükler, düz bant gerilimini oksit tabakası kapasitansı oranında kaydırır. Yükün geçit metaline göre bağlı konumunda bu kayma miktarı azalır. Eğer yük, metal/oksit tabakası ara yüzeyinde bulunuyorsa düz bant potansiyelindeki kayma değeri sıfırdır. Bağlı yüklerin oluşma nedeni, büyütme ya da kaplama işlemlerinde kullanılan iyonların yapı ile tam olarak birleşmemeleridir.

Hareketli yüklere bağlı olan düz bant potansiyeli kayması da hemen hemen yukarıdaki durum ile aynıdır. Bununla birlikte negatif geçit gerilimi, pozitif bir hareketli yükü geçit metaline doğru çekerken, pozitif bir gerilim bu yükü metalden daha uzağa hareket ettirdiği için ölçülen C-V eğrileri farklıdır. Bu durum, eğrinin uygulanan gerilim değerine doğru kaymasına neden olur. Geçit gerilimi ileri ve geri yönde süpürülürken yüksek frekans C-V eğrisinde ortaya çıkan histerezisten bu hareketli yükün varlığı belirlenebilir.

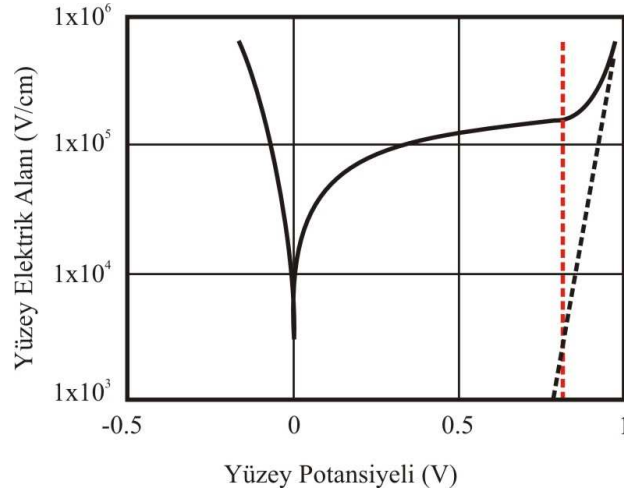
Yüzey durumlarını dolduran elektronlardan kaynaklanan yükler de düz bant potansiyelinde kaymalara neden olmaktadır. Uygulanan gerilim değiştirilirken, aynı zamanda oksit tabakası/yarıiletken ara yüzeyindeki Fermi enerjisi de değişir ve değişim yüzey durumlarının doluluk oranını etkiler. Ara yüzey durumları, C-V ölçümlerindeki geçişleri yavaşlatır. Düşük frekans ve yüksek frekans kapasitanslarının birleştirilmesi ile yüzey durum yoğunlukları hesaplanabilir.

### 2.3. Tam MOS Analizi

Yüzey elektron yoğunluğunun değişmediği durumda MOS kapasitansı için tam bir analitik çözüm yapılabilir. Bu durumda ilk olarak, uygulanan gerilime bağlı olarak, Poisson denkleminin yarıiletken yüzeyinde oluşan elektrik alan bulunmalıdır. Yarıiletken ve oksit tabakasındaki elektrik alan bağlı dielektrik sabitlerine bağlı olduğu için, elektrik alan ile yüzey potansiyelini birleştirerek geçit gerilimi için bir çözüm elde edilebilir. Ayrıca, bu yaklaşım ile toplanma bölgesi, tükenim bölgesi ve terslenme bölgesindeki yük yoğunluğu da hesaplanabilir. Yükün uygulanan gerilime bağlı değişimi bize MOS yapının kapasitansını vermektedir. Yüksek frekans kapasitansının hesaplanmasında nümerik analiz gerekirken düşük frekans veya yarı-statik durum kapasitansı doğrudan hesaplanabilmektedir.

#### 2.3.1. Elektrik Alanın Yüzey Potansiyeli ile Değişimi

Elektronların, boşlukların ve iyonize olmuş verici ve alıcı atomlarının yüklerine bağlı olan Poisson denkleminin çözümü ile elektrik alan için bir analiz yapılabilir. Bu analiz ile yarıiletkenin yüzeyindeki elektrik alan ve yüzey potansiyeli arasındaki ilişki belirlenebilir. Elektrik alanın yüzey potansiyeli ile değişimi Şekil 2.11’de gösterilmiştir.



Şekil 2.11 Yarıiletken yüzeyindeki potansiyele bağlı olarak yarıiletken yüzeyindeki elektrik alanın değişimi. Kırmızı dikey çizgi eşik gerilimini göstermektedir ( $N_A=10^{17} \text{ cm}^{-3}$  ve  $t_{ok}=20 \text{ nm}$ ) (Zeghbroeck, 2004)

Geçide pozitif bir gerilim uygulandığında yarıiletkenin yüzeyinde tükenim bölgesi oluşur. Bu durum, yüzey potansiyelinin karekökü ile değişen bir elektrik alan oluşmasına neden olur. Yüksek gerilim değerlerinde ise terslenme durumu oluşur. Terslenme bölgesindeki yük, yüzey potansiyeline bağlı olarak üstel bir şekilde arttığı için terslenme durumunda elektrik alanda keskin bir artış oluşur. Dikey noktalı kırmızı çizgi eşik gerilimini ya da güçlü terslenme durumunun başlangıcını göstermektedir. Noktalı siyah çizgi ise terslenme bölgesindeki elektronlara bağlı olan yüzey elektrik alanının değişimidir. Bu değişim terslenme bölgesindeki yükün yarıiletkenin dielektrik sabitine oranından hesaplanmıştır.

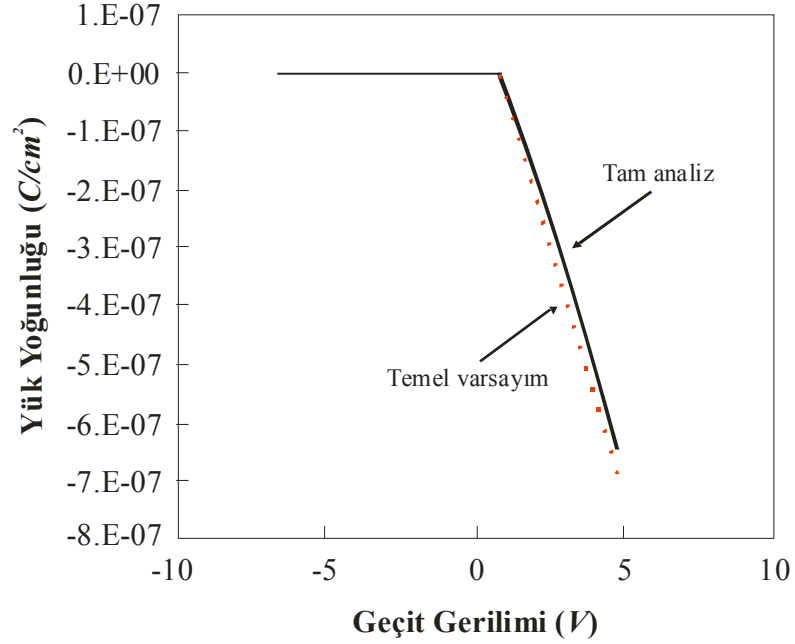
Geçide negatif bir gerilim uygulandığı zaman, boşlukların yarıiletken yüzeyinde toplanırlar. Bu durumda uygulanan gerilimdeki azalış ile elektrik alanda üstel bir artış ortaya çıkar.

### **2.3.2. Terslenme bölgesi yükü**

Bu yöntem ile terslenme bölgesindeki yük miktarının da analizi yapılabilir. Yüzey potansiyeli ve oksit tabakası üzerindeki potansiyel farkı, düz bant gerilimine eklenerek geçit gerilimi elde edilir. 20 nm oksit tabakası kalınlığı ve  $10^{17} \text{ cm}^{-3}$  katkılama miktarı için, yük yoğunluğunun geçit gerilimi ile değişimi Şekil 2.12'de gösterilmiştir.

Şekildeki noktalı çizgi, terslenme bölgesi yükü için yapılan standart yaklaşımdır. Buna göre terslenme bölgesindeki yük miktarı, oksit tabakası kapasitansının geçit gerilimi ile eşik gerilimi farkına oranına eşittir. Eşik geriliminin altındaki değerler için terslenme bölgesi olmadığından bu değerlerde terslenme bölgesi yükü sıfır olacaktır.



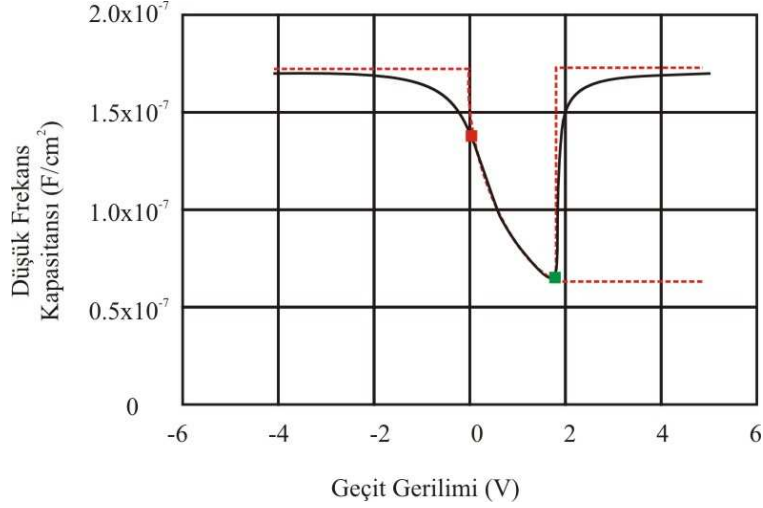


Şekil 2.12 Terslenme tabakasındaki elektronların oluşturduğu yük dağılımının değişimi ( $N_A=10^{17} \text{ cm}^{-3}$ ,  $t_{ok}=20 \text{ nm}$ ) (Zeghbroeck, 2004)

### 2.3.3. Düşük frekans kapasitansı

Yarıiletkendeki yükün, yarıiletken üzerindeki potansiyele göre türevi alınarak düşük frekans veya yarı-statik frekans kapasitansı hesaplanabilir. Bu işlem iki termal denge durumu arasındaki değişimi belirttiği için, kapasitans ölçümleri her zaman denge durumundayken yapılmalıdır. Uygulanan geçit gerilimi değişirken duyarlı bir elektrometre ile ölçülen akımdan kapasitans değişimleri elde edilebilir. Bu tür bir ölçüm tekniği ile elde edilmiş tipik C-V grafiği Şekil 2.13'te verilmiştir.

Şekil 2.13'teki grafik, 20 nm'lik bir oksit tabakası kalınlığı ve  $10^{17} \text{ cm}^{-3}$  alıcı atomu yoğunluğuna sahip bir MOS yapı için elde edilmiştir. Noktalı çizgiler tam tükenim yaklaşımı kullanılarak elde edilmiş yüksek ve düşük frekans kapasitanslarını göstermektedir. Şekilden açıkça görülmektedir ki, MOS yapının tüm davranışını tanımlamak için bu yaklaşım oldukça kaba bir yaklaşımdır. Ancak, oksit tabakası kalınlığının ve katkılama yoğunluğunun belirlenebilmesi için bu yaklaşım yeterli olmaktadır.



Şekil 2.13 Düşük frekans kapasitansının değişimi. Sürekli çizgi düşük frekans kapasitansı için tam çözümü, noktalı çizgi ise düşük ve yüksek frekans için basit modeli göstermektedir. Kırmızı ile işaretlenmiş nokta düz bant gerilimi ve kapasitansını, yeşil ile işaretlenmiş nokta ise eşik gerilimi ve kapasitansını göstermektedir ( $N_A=10^{17} \text{ cm}^{-3}$ ,  $t_{ok}=20 \text{ nm}$ ) (Zeghbroeck, 2004)

#### 2.3.4. Tam çözümün çıkarımı

Bu bölümde p-tipi alt yüzeye sahip MOS yapı için tam bir çözüm elde edilecektir. Yarıiletkendeki toplam yük yoğunluğu  $\rho$ ;

$$\rho = q(p + N_D^+ - n - N_A^-) \quad (2.34)$$

ifadesi ile verilmektedir. Termal denge durumunda boşluk ve elektron yoğunluklar  $p$  ve  $n$ ,  $\psi$  potansiyeli ve  $\psi_B$  referans potansiyelinin bir fonksiyonu olarak yazılabilirler:

$$p = n_i \exp\left(\frac{\psi_B - \psi(x)}{V_t}\right) \quad (2.35)$$

$$n = n_i \exp\left(\frac{\psi(x) - \psi_B}{V_t}\right) \quad (2.36)$$

Oksit tabakası/yarıiletken ara yüzeyinden uzak bölgelerde yük yoğunluğu sıfırdır. Bundan dolayı  $\psi$  potansiyeli de sıfır olarak tanımlanabilir. Buna göre,

$$N_D^+ - N_A^- = -2n_i \sinh\left(\frac{\psi_B}{V_t}\right) \quad (2.37)$$

olur. Bu ifadeler kullanılarak Poisson denklemi aşağıdaki şekilde yazılabilir:

$$\frac{d^2\psi}{dx^2} = \frac{2qn_i}{\epsilon_s \epsilon_0} \left[ \sinh\left(\frac{\psi - \psi_B}{V_t}\right) + \sinh\left(\frac{\psi_B}{V_t}\right) \right] \quad (2.38)$$

Denklem (2.38)'de eşitliğin her iki tarafı da  $2d\psi/dx$  ile çarpılarak integral alınırsa

$$E(\psi) = \text{sgn}(\psi) \sqrt{\frac{4qn_i V_t}{\epsilon_s \epsilon_0} \left[ \cosh\left(\frac{\psi - \psi_B}{V_t}\right) + \frac{\psi}{V_t} \sinh\left(\frac{\psi_B}{V_t}\right) + K \right]} \quad (2.39)$$

elde edilir. Burada  $E = -d\psi/dx$  olarak alınmıştır.  $x = \infty$  ve  $\psi = E = 0$  sınır koşulları kullanılarak  $K$  sabiti hesaplanırsa

$$K = -\cosh\left(\frac{\psi_B}{V_t}\right) \quad (2.40)$$

ifadesi elde edilir. Buna göre termal denge durumunda yarıiletken yüzeyindeki elektrik alan ve potansiyel arasındaki ilişki,

$$E_{s,dng} = 2 \text{sgn}(\psi_s) \sqrt{\frac{qn_i V_t}{\epsilon_s \epsilon_0} \left[ \cosh\left(\frac{\psi_s - \psi_B}{V_t}\right) + \frac{\psi_s}{V_t} \sinh\left(\frac{\psi_B}{V_t}\right) - \cosh\left(\frac{\psi_B}{V_t}\right) \right]} \quad (2.41)$$

şeklinde olur. Ayrıca bu durumda geçit gerilimi düz bant geriliminin, oksit tabakası ve yarıiletken üzerindeki potansiyel farklarının bir fonksiyonu olarak yazılabilir:

$$V_G = V_{DB} + \psi_s + V_{ok} \quad (2.42)$$

Burada  $V_{ok} = t_{ok} E_{s,dng}(\psi_s) \frac{\epsilon_s}{\epsilon_{ok}}$  ifadesi ile verilmektedir.

### 2.3.4.1. Düşük frekans kapasitansı

Bir MOS yapının birim alandaki düşük frekans kapasitansı,

$$C_{mos,DF} = \left| \frac{dQ_s}{dV_G} \right| = \varepsilon_s \varepsilon_0 \frac{dE_{s,dng}}{d \left( \psi_s + t_{ok} E_{s,dng} (\psi_s) \frac{\varepsilon_s}{\varepsilon_{ok}} \right)} = \frac{1}{\frac{1}{C_{ok}} + \frac{1}{C_{s,DF}}} \quad (2.43)$$

bağıntısından hesaplanabilir. Burada,  $C_{ok} = \frac{\varepsilon_{ok} \varepsilon_0}{t_{ok}}$  oksit tabakası kapasitansıdır. Düşük frekanstaki yarıiletken kapasitansı ise

$$\begin{aligned} C_{s,DF} &= \varepsilon_s \varepsilon_0 \frac{dE_{s,dng}}{d\psi_s} \\ &= \varepsilon_s \varepsilon_0 \sqrt{\frac{qn_i}{\varepsilon_s \varepsilon_0 V_t}} \frac{\left| \sinh\left(\frac{\psi_s - \psi_B}{V_t}\right) + \sinh\left(\frac{\psi_B}{V_t}\right) \right|}{\sqrt{\cosh\left(\frac{\psi_s - \psi_B}{V_t}\right) + \frac{\psi_s}{V_t} \sinh\left(\frac{\psi_B}{V_t}\right) - \cosh\left(\frac{\psi_B}{V_t}\right)}} \end{aligned} \quad (2.44)$$

$$C_{s,DF} = 2 \frac{qn_i}{E_{s,dng}} \left[ \sinh\left(\frac{\psi_s - \psi_B}{V_t}\right) + \sinh\left(\frac{\psi_B}{V_t}\right) \right] \quad (2.45)$$

olarak elde edilir.

Denklem (2.43)'ten görüldüğü gibi, MOS yapının toplam kapasitansı, seri bağlı olan oksit tabakası kapasitansı  $C_{ok}$  ve yarıiletken kapasitansı  $C_{s,DF}$  toplamına eşittir. İki denge durumu arasındaki yük miktarındaki değişimden hesaplandığı için Denklem (43)'teki ifade düşük frekans kapasitansı olarak adlandırılır.  $\psi_s$  değerleri biliniyorsa yukarıdaki bağıntılar yardımı ile elektrik alan, geçit gerilimi ve geçit kapasitansı hesaplanabilir. Buradan da uygulanan geçit gerilimine bağlı olarak düşük frekans kapasitansının değişim grafiği elde edilebilir (Şekil 2.14).

Düz bant koşulları altında, yani  $0=|\psi_s|<V_t$  olması durumunda MOS yapının toplam kapasitansı

$$C_{MOS,DB} = \frac{1}{\frac{1}{C_{ok}} + \frac{L_D}{\epsilon_s \epsilon_0}} \quad (2.45)$$

denklemini şeklinde yazılabilir. Burada  $L_D$  yarıiletkendeki Debye uzunluğudur ve

$$L_D = \sqrt{\frac{\epsilon_s \epsilon_0 V_t}{q |N_A - N_D|}} \quad (2.46)$$

ifadesi ile verilmektedir.

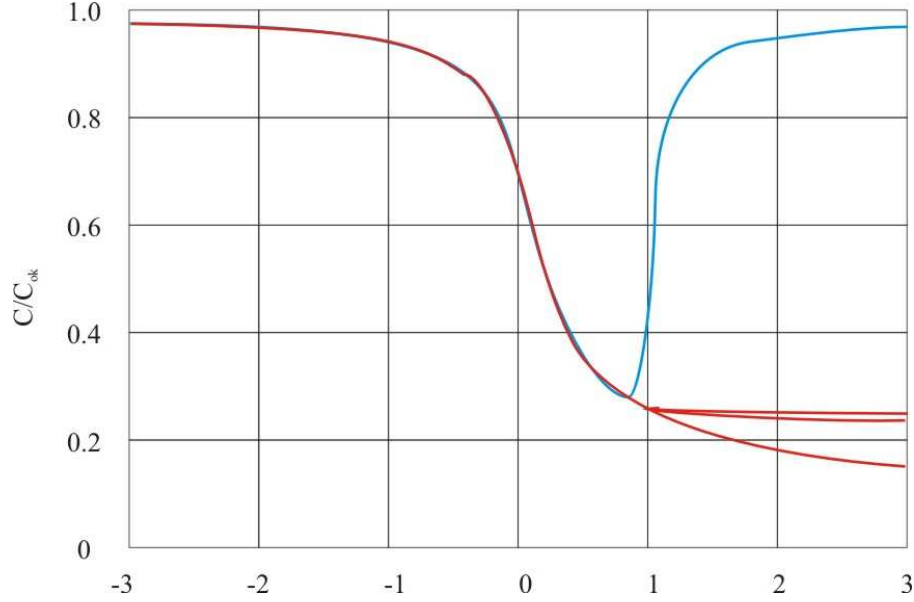
#### 2.3.4.2. Derin tükenim kapasitansı

Eğer geçit gerilimi, oksit tabakası/yarıiletken ara yüzeyinde denge yoğunluğunun elde edilmesi için gereken elektron oluşumundan daha hızlı bir şekilde değişirse, terslenme bölgesi oluşmaz. Bu durumda uygulanan geçit gerilimi, yarıiletkendeki tükenim bölgesi genişliğinin, güçlü terslenmenin başlangıcında tanımlanan maksimum tükenim bölgesi genişliğinin üzerinde çıkmasına neden olur. Derin tükenim kapasitansı için tipik bir ölçüm denge durumundan başlar. Bu durumda terslenme bölgesi yoktur ve tükenim bölgesi oluşurken uygulanan geçit gerilimi hızlı bir şekilde değiştirilir. Belirli bir gerilimdeki yük değişiminden yararlanılarak kapasitans elde edilir. p-tipi alt yüzey için Poisson denkleminde elektronlar için olan yük terimi ihmal edilerek

$$\frac{d^2\psi}{dx^2} = \frac{qn_i}{\epsilon_s \epsilon_0} \left[ 2 \sinh\left(\frac{\psi_B}{V_t}\right) - \exp\left(\frac{\psi_B - \psi}{V_t}\right) \right] \quad (2.47)$$

ifadesi elde edilir. Aynı şekilde yarıiletken yüzeyindeki elektrik alan için de

$$E_{s,dt} = \text{sgn}(\psi_s) \sqrt{\frac{2qn_i V_t}{\epsilon_s \epsilon_0} \left\{ 2 \frac{\psi_s}{V_t} \sinh\left(\frac{\psi_B}{V_t}\right) + \exp\left(\frac{\psi_B}{V_t}\right) \left[ \exp\left(\frac{-\psi_s}{V_t}\right) - 1 \right] \right\}} \quad (2.48)$$



Şekil 2.14  $N_A=10^{15} \text{ cm}^{-3}$  ve  $t_{ok}=0.1 \mu\text{m}$  olan bir MOS yapı için kapasitansın uygulanan gerilim ile değişimi. Yukarıdan aşağıya doğru eğriler: Düşük frekans kapasitans, yaklaşık olarak yüksek frekans kapasitans ve derin tükenim koşullarındaki tam yüksek frekans kapasitans eğrileridir (Zeghbroeck, 2004)

bağıntısı elde edilir. Sonuçta yarıiletkendeki kapasitans

$$C_{s,dt} = \left| \frac{qn_i}{E_{s,dt}} \left[ 2 \sinh\left(\frac{\psi_B}{V_t}\right) - \exp\left(\frac{\psi_B - \psi}{V_t}\right) \right] \right| \quad (2.49)$$

denklemini şeklinde yazılabilir. Derin tükenim durumundaki geçit gerilimi

$$V_G = V_{DB} + \psi_s + V_{ok} \quad (2.50)$$

ifadesine eşittir. Burada  $V_{ok}$  ise,  $V_{ok} = t_{ok} E_{s,dt} (\psi_s) \frac{\epsilon_s}{\epsilon_{ok}}$  ile verilir.

### 2.3.4.3. Yüksek frekans kapasitansı

DC gerilime ek olarak geçide küçük bir AC gerilimi uygulanarak yüksek frekans kapasitansı ölçülebilir. Derin tükenim koşulları altında, terslenme bölgesindeki yük miktarındaki değişim ihmal edilerek yüksek frekans kapasitansı için yaklaşık bir ifade elde edilebilir. Bununla birlikte, C-V değişimi incelenirken geçit gerilimi yavaş bir

şekilde değiştirildiği için, bu geçit gerilimi değeri termal denge durumundaki yüzey potansiyeli ile hesaplanmaktadır. Buna göre yüksek frekans kapasitansı,

$$C_{s,YF} = \left| \frac{qn_i}{E_{s,dt}} \left[ 2 \sinh\left(\frac{\psi_B}{V_t}\right) - \exp\left(\frac{\psi_B - \psi_s}{V_t}\right) \right] \right| \quad (2.51)$$

bağıntısı ile verilmektedir. Buradaki  $E_{s,dt}$  elektrik alanı Denklem (2.48) elde edilebilir. Denklem (2.51) derin tükenim durumundaki kapasitans ifadesi ile aynı ifadedir. Ancak bu durumda geçit gerilimi farklı bir değerdedir:

$$V_G = V_{DB} + \psi_s + V_{ok} \quad , \quad V_{ok} = t_{ok} E_{s,dng}(\psi_s) \frac{\epsilon_s}{\epsilon_{ok}} \quad (2.52)$$

Burada  $E_{s,dng}$  termal denge durumundaki elektrik alan değeridir.

Yüksek frekans kapasitansı Şekil 2.14'te görülmektedir. Termal gerilim değeri için yapılan düzeltme ile birlikte tam tükenim yaklaşımından elde edilen minimum kapasitans değeri,

$$\frac{1}{C_{MOS,min}} = \frac{1}{C_{ok}} + \sqrt{\frac{2(2\psi_B + V_t)}{qN_A \epsilon_s \epsilon_0}} \quad (2.53)$$

ifadesi ile verilmektedir. Bu bağıntının sadece yaklaşık bir çözüm olduğuna dikkat edilmelidir. Kapasitans değerini ve tükenim bölgesi genişliğini etkilemesine rağmen, terslenme bölgesindeki yükün uygulanan gerilim ile değişimi, kullanılan bu yaklaşık çözümde ihmal edilmiştir.

Şekil 2.14'te kullanılan yüksek frekans için kapasitans ifadesi

$$C_{s,YF,tam} = \frac{qn_i \operatorname{sgn}(\psi_s)}{E_{s,dng}} \times \left\{ \exp(U_B) [1 - \exp(-U_s)] + \exp(-U_B) \frac{\exp(U_s) - 1}{1 + \Delta} \right\} \quad (2.54)$$

denklemini ile verilir. Burada p-tipi alt yüzey için  $\Delta$  ifadesi

$$\Delta = 0 \quad \psi_s < 0 \text{ ve } \psi_B > 0 \quad (2.55)$$

ve

$$\Delta = \frac{\frac{\exp(U_s) - U_s - 1}{F(U_s | U_B)}}{\int_0^{U_s} \frac{\exp(U_B) [1 - \exp(-\xi)] [\exp(-\xi) - \xi - 1]}{2F^3(\xi | U_B)} d\xi} \quad \psi_s > 0 \text{ ve } \psi_B > 0 \quad (2.56)$$

eşitlikleri ile verilmektedir.  $\Delta=0$  durumunda bu ifade olası tüm yüzey potansiyelleri için düşük frekans kapasitansına eşittir.  $F$  fonksiyonu, denge durumundaki elektrik alan ile ilişkilidir ve aralarındaki bağıntı,

$$F(U | U_B) = \frac{E_{dng} L_{D,i}}{2\sqrt{2}V_t} \quad (2.57)$$

şeklinde.  $U$ ,  $U_s$  ve  $U_B$  normalize edilmiş parametreler

$$U = \frac{\Psi}{V_t}, U_s = \frac{\Psi_s}{V_t}, U_B = \frac{\Psi_B}{V_t} \quad (2.58)$$

eşitlikleri ile tanımlanmaktadırlar. Burada geçit gerilimi

$$V_G = V_{DB} + \psi_s + V_{ok}, \quad V_{ok} = t_{ok} E_{s,dng}(\psi_s) \frac{\epsilon_s}{\epsilon_{ok}} \quad (2.59)$$

bağıntısı ile verilir.  $E_{s,dng}$  ifadesi termal denge durumunda yarıiletken yüzeyindeki elektrik alan büyüklüğüdür.

Güçlü terslenmenin ( $\psi_s=2\psi_B$ ) başlangıcında ve sonrasında yüksek frekans kapasitansı hemen hemen sabittir. Eğer  $\psi_B \gg V_t$  olduğu varsayılırsa, tükenim bölgesinin yüksek frekans kapasitansı için

$$C_{s,YF} = \sqrt{\frac{qN_A \epsilon_s \epsilon_0}{4\psi_B}}, \quad V_G - V_{DB} > 2\psi_B + \frac{\sqrt{4qN_A \epsilon_s \epsilon_0 \psi_B}}{C_{ok}} \quad (2.60)$$



ifadesi yazılabilir. Ayrıca yarıiletken yüzeyindeki maksimum potansiyelin  $2\psi_B$  olduğu varsayıp tam tükenim yaklaşımı ile tükenim bölgesi genişliği hesaplanarak da yukarıdaki bağıntı elde edilebilir.  $\psi_s = 2\psi_B$  olması durumunda düşük frekans kapasitansı ( $\psi_B \gg V_t$  varsayılarak),

$$C_{s,DF} = \sqrt{\frac{2qN_A\epsilon_s\epsilon_0}{\psi_B}} \quad , \quad V_G - V_{DB} = 2\psi_B + \sqrt{\frac{4qN_A\epsilon_s\epsilon_0\psi_B}{C_{ok}}} \quad (2.61)$$

şeklinde yazılabilir. Yüksek ve düşük frekans kapasitansı arasındaki ilişki de

$$C_{s,DF} = \sqrt{8}C_{s,YF} \quad , \quad \psi_s = 2\psi_B \quad (2.62)$$

şeklinindedir.

#### 2.4. MOS Kapasitör Teknolojisi

MOS yapıların oksit tabakalarının oluşturulması MOSFET'lerin üretiminde kritik bir aşamadır. SiO<sub>2</sub> oluşturulması için iki temel teknik vardır. Bunlardan birincisi silisyum alt yüzeyin Si kaynağı olarak kullanıldığı termal oksidasyon ve ikincisi ise SiO<sub>2</sub>'in alt yüzey üzerine kaplanıldığı kimyasal buhar kaplama (CVD) tekniğidir.

Termal oksidasyon işleminde silisyum plakalar oksijen veya su buharı bulunan ortamda ısıtılırlar. Standart sıcaklık aralığı 800-1200°C'dir. Ayrıca oda sıcaklığında da SiO<sub>2</sub> oluşabilir. Ancak oluşan oksit tabakasının kalınlığı 3 nm ile sınırlıdır. Yüksek sıcaklıklarda O<sub>2</sub> veya H<sub>2</sub>O molekülleri silikon yüzeyine difüzyon yapabilirler. Bu nedenle silisyum plaka yüzeyinde SiO<sub>2</sub> tabakası oluşur. Oksijen ortamında yapılan oksidasyon işlemine "kuru oksidasyon" denir. Su buharı ile yapılan oksidasyon işlemine ise "H<sub>2</sub>O oksidasyonu" denilir. Termal oksidasyon, yüksek kalitede ara yüzey ve oksit tabakası sağlmasına karşın yüksek sıcaklıklar gerektirdiğinden dolayı günümüz teknolojisinde daha az kullanılmaktadır.

CVD tekniğinde silan (SiH<sub>2</sub>) ve oksijen gazları tepkimeye girerek SiO<sub>2</sub> oluştururlar. Silisyum plakalar 200-400°C sıcaklıkları arasında ısıtılarak yüksek kalitede oksit tabakası elde edilir. Düşük sıcaklık gerektirmesi ve oksit tabakasının kaliteli olması nedeni ile MOS üretiminde genellikle CVD tekniği tercih edilmektedir.

MOS kapasitörlerde yaygın olarak kullanılmasına rağmen, SiO<sub>2</sub> günümüz teknolojisindeki son ihtiyaçları karşılayamamaktadır. Elektronikteki, özellikle de bilgisayar teknolojisindeki son gelişmeler ile birlikte cihaz boyutlarında hızlı bir küçülme olmaktadır. Bu küçülme MOS kapasitörlerin de boyutlarını küçültmektedir. Bu durum SiO<sub>2</sub> tabakasının kalınlığının azaltılması ile sağlanmaktadır. Kalınlıktaki bu azalmadan dolayı SiO<sub>2</sub>'nin yalıtkanlık özellikleri bozulmaktadır. Bu olumsuz etkinin giderilmesi için SiO<sub>2</sub> yerine kullanılacak yeni malzemeler aranmaktadır. Genellikle metal oksit olan bu malzemeler üzerindeki çalışmalar hızla ilerlemektedir.

### 3. MATERYAL ve YÖNTEM

#### 3.1. MOS Kapasitörlerin Oluşturulması

Kullanılan MOS kapasitörler Orta Doğu Teknik Üniversitesi Fizik Bölümünde hazırlanmıştır. Kalınlığı 381  $\mu\text{m}$ , öz direnci 1-10  $\Omega\text{-cm}$  ve katkı yoğunluğu  $10^{17} \text{ cm}^{-3}$  olan (100) yönelimine sahip p-tipi alt yüzeyler kullanılmıştır.  $\text{SiO}_2$ , Si alt yüzeyler üzerinde kuru termal oksidasyon yöntemi ile 25, 33 ve 110 nm kalınlıklarında büyütülmüştür.

$\text{SiO}_2$  büyütme işleminden önce silisyum plakalar standart HF temizleme işlemi ile temizlenmiştir. HF temizlemesinden sonra silisyum alt yüzeyler üzerinde 1000  $^\circ\text{C}$ 'de kuru termal oksidasyon ile  $\text{SiO}_2$  büyütmesi yapılmıştır. Oksit tabakası kalınlıkları ve termal oksidasyon süreleri Çizelge 3.1'de verilmiştir.

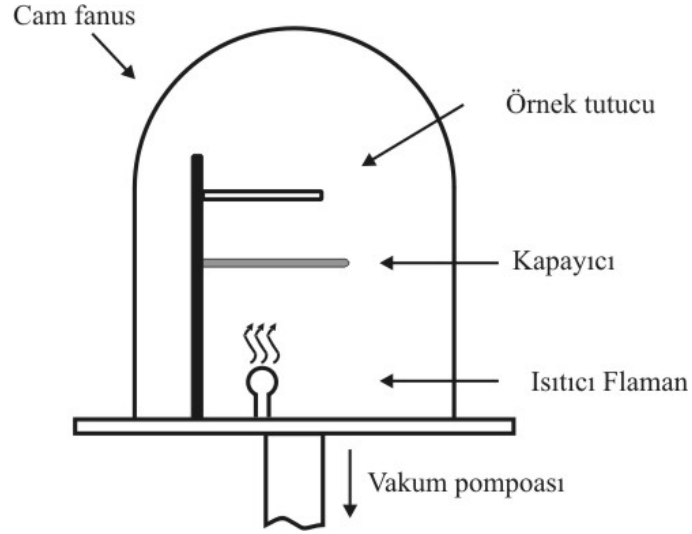
Çizelge 3.1 1000  $^\circ\text{C}$ 'de kuru termal oksidasyon süresine bağlı olarak oluşan oksit tabakası kalınlıkları

Örnek Adı	Termal oksidasyon süresi (dk)	Oluşan $\text{SiO}_2$ kalınlığı
#C1	30	25 nm
#C2	60	33 nm
#C3	150	110 nm

$\text{SiO}_2$  büyütmesinden sonra silisyum plakaların alt yüzeyleri ohmik kontak yapılması için tekrar temizlemiştir. Alt yüzeylerin doğal oksitlerden ve oksidasyon sırasında oluşan oksitlerden temizlenmesi işleminde ilk olarak silisyum plakaların sadece alt tarafları HF ile temizlenmiş, daha sonra 5 dk süresince  $\text{C}_2\text{HCl}_3$  (trikloretilen) içerisinde kaynatılmıştır. Bu işlemden sonra örnekler saf su içerisine koyularak 5 dk boyunca süpersonik banyo yapılmıştır. Son olarak üzerlerinde  $\text{SiO}_2$  büyütülen silisyum plakalar aseton içerisinde 5 dk kaynatılmıştır.

Standart temizleme işlemlerinden sonra örneklerin alt taraflarına vakum buharlaştırma yöntemi ile alüminyum kaplanmıştır. Daha sonra 1 mm çapındaki maskeler kullanılarak  $\text{SiO}_2$  üzerinde geçitler oluşturulmuştur. Geçit metali olarak yine

alüminyum kullanılmıştır. Vakum buharlaştırma sisteminin şeması Şekil 3.1’de gösterilmiştir.

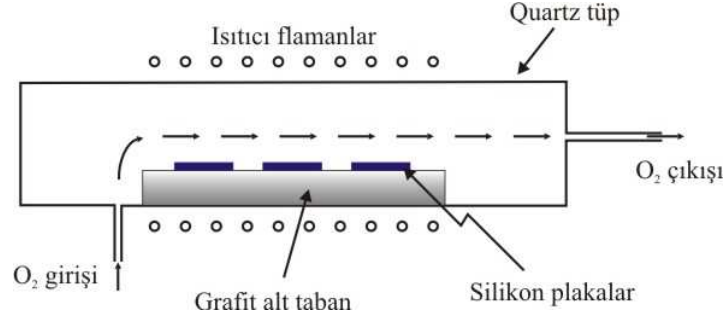


Şekil 3.1 Vakum buharlaştırma sistemi şeması

Oluşturulan MOS kapasitörlerin C-V karakteristikleri bölümümüz Katıhal Fiziği Araştırma Laboratuvarında bulunan Keithley 590 CV analizör ile ölçülmüştür. Ölçümler oda sıcaklığında -3.6 V ile +3.6 V geçit gerilimi değerleri arasında,  $0.1 \pm 0.012$  pF duyarlılıkla 100 kHz’de bilgisayar programı yardımı ile yapılmıştır. Daha sonra örneklerden elde edilen deneysel değerler kullanılarak MOS kapasitörlerin C-V eğrileri çizilmiştir.

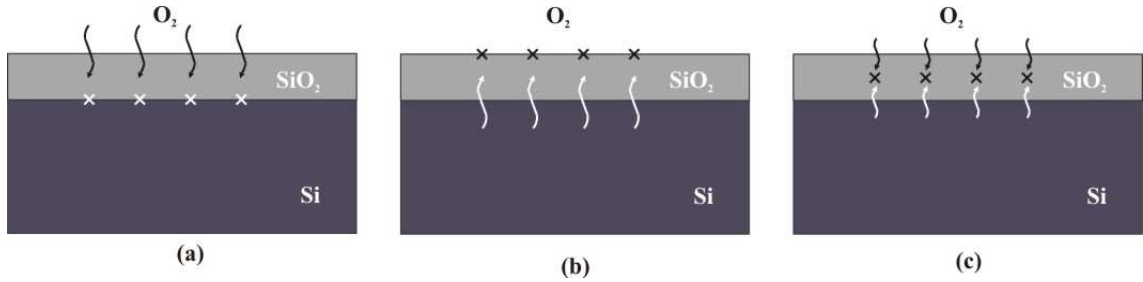
### 3.1.1. Kuru termal oksidasyon yöntemi

MOS kapasitörlerin oluşturulması sırasında kullanılan kuru termal oksidasyon sistemi Şekil 3.2’de gösterilmiştir. Alt yüzeyler grafit blok üzerine yerleştirilerek tüm sistem ısıtıcılar tarafından ısıtılır.  $O_2$  molekülü ile Si atomunun  $SiO_2$  molekülünü oluşturması sırasında üç farklı durum ortaya çıkabilir (Şekil 3.3).



Şekil 3.2 Kuru termal oksidasyon sistemi

Bu süreçte  $O_2$  molekülü ince filmden geçerek silisyum yüzeyinde Si atomu ile reaksiyona girerek  $SiO_2$  molekülünü oluşturabilir (Şekil 3.3a). İkinci olarak Si atomu ince film içerisinden geçerek en üst yüzeyde  $O_2$  molekülü ile reaksiyona girebilir (Şekil 3.3b). Son olarak da Si atomu ile  $O_2$  molekülü film içerisinde reaksiyona girerek  $SiO_2$  molekülünü oluşturabilirler (Şekil 3.3c).



Şekil 3.3  $SiO_2$  oluşum sürecinde gerçekleşen olası durumlar (Morgan, 1991)

Radyoaktif iz deneyleri  $SiO_2$  molekülünün oluşması sürecinde ilk durumun gerçekleşme olasılığının daha büyük olduğunu göstermiştir. Bu durumda oksidant madde ( $O_2$ ) film içerisinden geçerek silisyum yüzeyine gelir ve burada Si atomu ile reaksiyona girerek  $SiO_2$  molekülünü oluşturur (Şekil 3.3a).

Film oluşma hızı iki ana faktöre bağlıdır:

1. Oksidant maddenin film içerisinden geçme hızı
2.  $SiO_2$  oluşumunda reaksiyon hızı

Bu iki faktör göz önünde bulundurularak oksit tabakasının  $x_0$  kalınlığı ve oksidasyon süresi  $t$  arasındaki ilişki için

$$x_0 = \frac{A}{2} \left[ \sqrt{1 + \frac{t + \tau_0}{A^2 / 4B}} - 1 \right] \quad (3.1)$$

bağıntısı elde edilmiştir. Burada  $A$  ve  $B$  verilen bir sıcaklıkta belli bir oksit türü için sabitlerdir.  $\tau_0$  ise kuru termal oksidasyon için aşağıdaki denklem ile verilen bir düzeltme faktörüdür;

$$\tau_0 = \frac{x_i^2 + Ax_i}{B} \quad (3.2)$$

Bu denklemde  $x_i$  oksit tabakasının başlangıç kalınlığıdır.

İstenilen bir oksit tabakası kalınlığı için oksidasyon süresinin belirlenebilmesi için Denklem (3.1) yeniden yazılırsa

$$t = \frac{A^2}{4B} \left[ \left( \frac{2x_0}{A} + 1 \right)^2 - 1 \right] - \tau_0 \quad (3.3)$$

bağıntısı elde edilir.

Yukarıdaki denklemlerdeki  $A$  ve  $B$  sabitleri sıcaklığa bağlı sabitlerdir:

$$A = K_1 \exp\left(\frac{E_1}{kT}\right) \quad (3.4)$$

Burada  $K_1$  ve  $E_1$  sadece çalışılan oksit tipine bağlı sabitler,  $k$  Boltzmann sabiti ve  $T$  ise Kelvin cinsinden sıcaklık değeridir.

$$B = K_2 \exp\left(-\frac{E_2}{kT}\right) \quad (3.5)$$

Yukarıdaki bağıntılardaki  $E_1$  difüzyon süreci aktivasyon enerjisi,  $E_1 + E_2$  ise reaksiyon süreci aktivasyon enerjisidir.  $K_1$ ,  $K_2$ ,  $E_1$ ,  $E_2$  ve  $x_i$  değerleri Çizelge 3.2'de verilmiştir.

Uygulamada Denklem (3.1)'in sınırlayıcı durumları vardır. Bunlardan birincisi, çok küçük film kalınlıkları için (yani büyütme sürecinin ilk aşamaları süresince)

oksidant madde çok hızlı bir şekilde filmde geçer ve limit faktörü SiO<sub>2</sub> molekülünün ara yüzeyde oluşum hızına eşit olur. Bu durumda SiO<sub>2</sub> büyütmesi “*reaksiyon-hız limitli büyütme*” olarak adlandırılır. Eğer  $t+\tau_0 \ll A^2/4B$  ise Denklem (3.1)

$$x_0 = \frac{B}{A}(t - \tau_0) \quad (3.6)$$

şeklinde yazılabilir. Burada  $B/A$  terimine “*lineer hız sabiti*” denir.

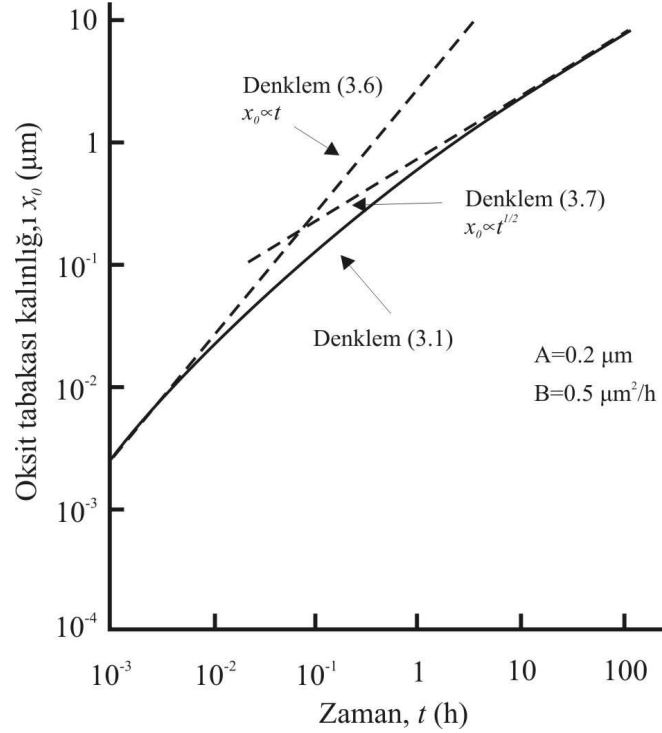
Çizelge 3.2 Oksit kalınlığı hesaplamalarında kullanılan parametrelerin değerleri (Morgan, 1991)

Parametre	Silisyum (111)		Silisyum (100)	
	H <sub>2</sub> O oksidasyonu	Kuru oksidasyon	H <sub>2</sub> O oksidasyonu	Kuru oksidasyon
$K_1$ (μm)	$2.39 \times 10^{-6}$	$1.24 \times 10^{-4}$	$4.02 \times 10^{-6}$	$2.08 \times 10^{-4}$
$K_2$ (μm <sup>2</sup> /h)	214	772	214	772
$E_1$ (eV)	1.29	0.77	1.29	0.77
$E_2$ (eV)	0.71	1.23	0.71	1.23
$x_i$ (μm)	0	0.02	0	0.02

Film kalınlığının artması ile oksidant maddenin filmde geçme süresi artar. Bu durumda büyütme işlemi “*difüzyon-hız limitli büyütme*” olarak adlandırılır.  $t+\tau_0 \ll A^2/4B$  için Denklem (3.1)

$$x_0 = (Bt)^{1/2} \quad (3.7)$$

şeklinde yazılabilir. Bu ifadedeki  $B$  parametresine “*parabolik hız sabiti*” denir. Film kalınlığı ( $x_0$ )-büyütme zamanı ( $t$ ) grafiği Şekil 3.4’te gösterilmiştir.



Şekil 3.4 Oksit tabakası kalınlığının zamanla değişimi (*Morgan, 1991*)

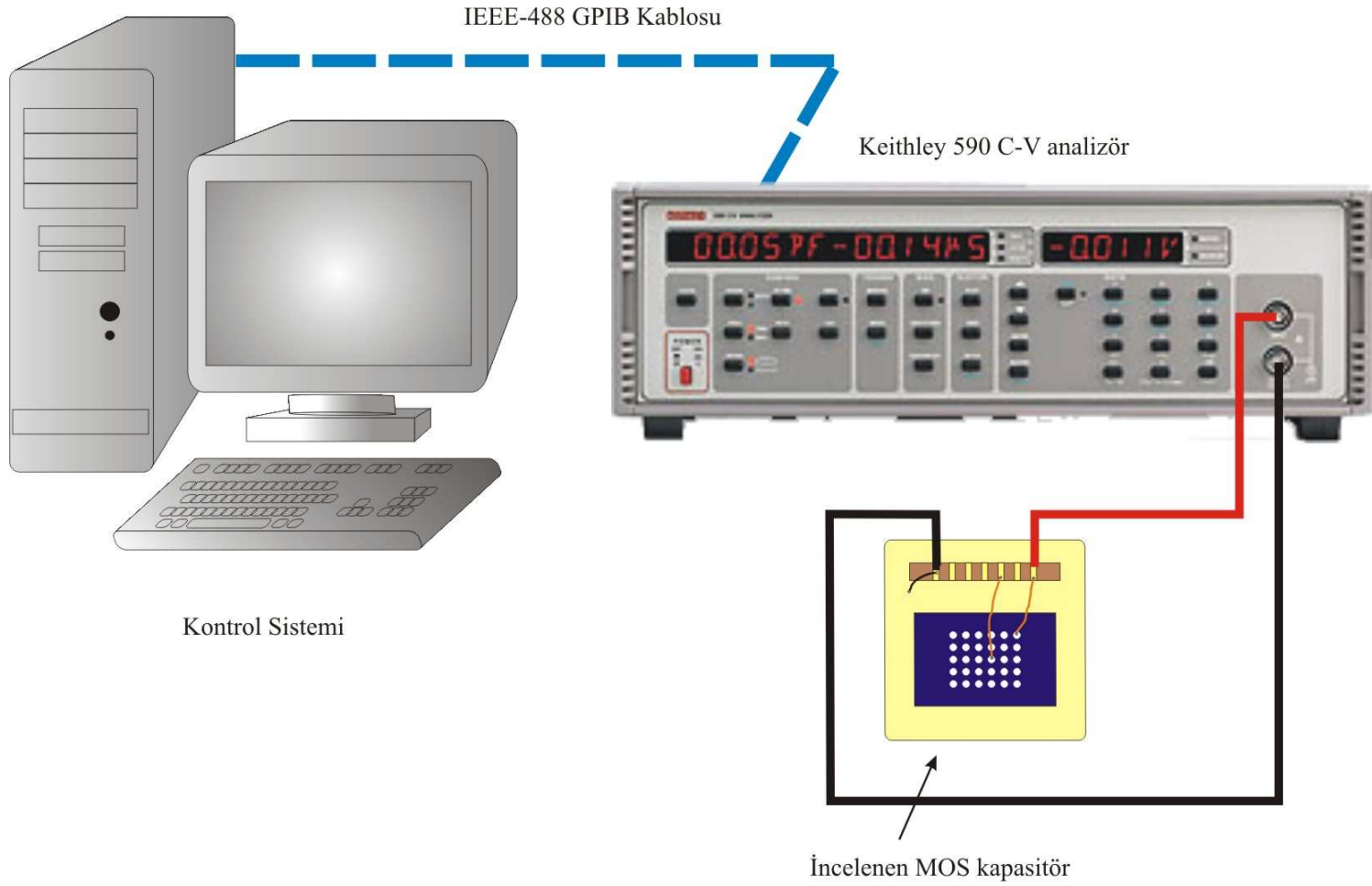
### 3.2. Kapasitans-Gerilim (C-V) ölçümleri

MOS kapasitörler oluşturulduktan sonra ölçüm kolaylığı bakımından bakır plakalar üzerine yerleştirilmiştir. Daha sonra kontaklar alınarak Şekil 3.5'te gösterilen deney düzeneği hazırlanmıştır.

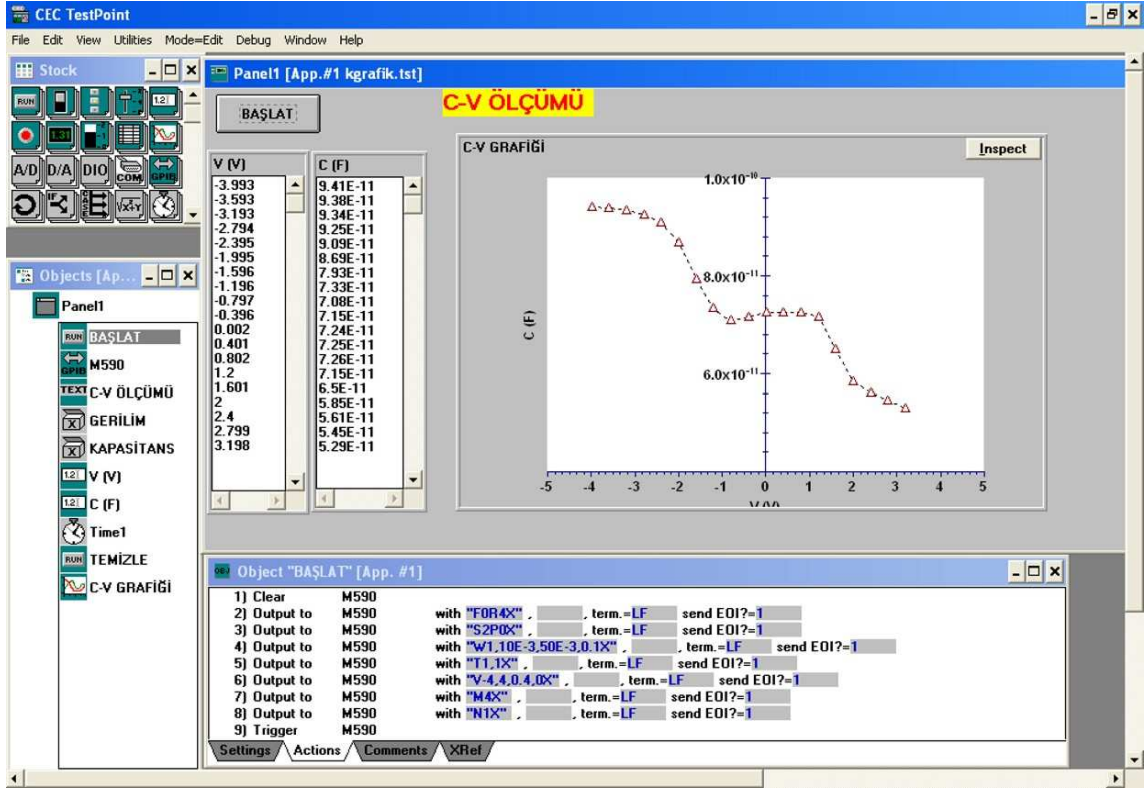
Kapasitans-gerilim ölçümlerinin alınması için kurulan deney düzeneğinde Keithley 590 CV analizör kullanılmıştır. MOS kapasitörler CV analizöre Şekil 3.5'te görüldüğü gibi bağlanmış ve oda sıcaklığında ölçümler yapılmıştır. Ölçümlerde Testpoint programı kullanılarak CV analizör bilgisayar ile kontrol edilmiştir. Daha sonra ilk kapasitans-gerilim grafikleri yine Testpoint programı ile çizdirilmiştir.

Kullanılan Testpoint programının ekran görüntüsü Şekil 3.6'da verilmiştir. Bilgisayar ile CV analizör arasındaki iletişim IEEE 488 GPIB kablosu ile sağlanmaktadır. Örnekler ise CV analizöre BNC kabloları ile bağlanmıştır.





Şekil 3.5 C-V ölçümlerinde kullanılan deney düzeneği şeması



Şekil 3.6 Testpoint programının ekran görüntüsü

Testpoint programı isteğe uygun olarak yeniden hazırlanmıştır. Programın çalıştırılması ile CV analizör örneğe frekansı 100 kHz olan puls şeklinde sinyaller gönderir. Bu sinyallerin genlikleri ayarlanan gerilim aralığını süpürecek şekilde değişir. CV analizör geri gelen sinyalleri analiz ederek kapasitans değerlerini tekrar bilgisayara gönderir. Testpoint programı bu değerleri kullanarak örnekten elde edilen kapasitans-gerilim grafiklerini çizer. Ayrıca Microsoft Excel programı kullanılarak da C-V grafikleri yeniden çizilmiştir.

#### 4. SONUÇLAR ve TARTIŞMA

##### 4.1. Kapasitans-Gerilim (C-V) eğrileri

25, 33 ve 110 nm oksit tabakası kalınlıkları olan #C1, #C2 ve #C3 örneklerinden karanlık ortamda elde edilen birim alan başına kapasitans - gerilim değerleri Çizelge 4.1'de verilmiştir.

Çizelge 4.1'deki değerler kullanılarak çizilen birim alan başına kapasitans-gerilim (C-V) grafikleri Şekil 4.1, Şekil 4.2 ve Şekil 4.3'te gösterilmiştir. SiO<sub>2</sub> tabakası kalınlığındaki artış ile kapasitanstaki azalma Şekil 4.4'ten açıkça görülmektedir.

Aydınlık ortamda yapılan ölçümlerden elde edilen kapasitans değerleri Çizelge 4.1'de verilmiştir. Aydınlık ortamdaki C-V eğrileri Şekil 4.5, Şekil 4.6, Şekil 4.7 ve Şekil 4.8'de gösterilmiştir. Işığın etkisi ile tükenim bölgesindeki yük yoğunluğunda bir artış olmaktadır. Bu etki Şekil 4.9, Şekil 4.10 ve Şekil 4.11'de görülmektedir.

#C1, #C2 ve #C3 örneklerinin SiO<sub>2</sub> tabakalarının kapasitans değerleri

$$C_{SiO_2} = \frac{\epsilon_{SiO_2} \epsilon_0}{t_{SiO_2}} \quad (F / cm^2) \quad (4.1)$$

bağıntısı kullanılarak hesaplanmıştır. Elde edilen bu değerler Çizelge 4.2'de verilmiştir.

Toplanma durumunda toplam kapasitans oksit tabakası kapasitansına eşittir. MOS kapasitörlerin bu çalışma rejimindeki birim alan başına kapasitans değerleri,

$$C_{MOS, toplanma} = C_{max} = C_{ok} = \frac{\epsilon_{SiO_2} \epsilon_0}{t_{SiO_2}} \quad (F / cm^2) \quad (4.2)$$

bağıntısı ile hesaplanmıştır. Kapasitans bu durumda en büyük değerindedir. Hesaplanan toplanma rejimi kapasitans değerleri Çizelge 4.2'de verilmiştir.

Tükenim durumunda MOS kapasitörün toplam kapasitansı, oksit tabakasının ve tükenim bölgesinin kapasitanslarının seri toplamına eşittir (Denklem 4.4). Bu çalışma rejiminde tükenim bölgesi genişliği uygulanan geçit gerilimi ile değiştiği için tükenim

bölgesi kapasitansı da uygulanan gerilime bağlı olarak değişir. Tükenim bölgesi kapasitansı

$$C_{tükenim} = \frac{\epsilon_{Si} \epsilon_0}{w} (F / cm^2) \quad (4.3)$$

bağıntısı ile verilmektedir. Tükenim durumunda birim alan başına toplam kapasitans

$$C_{MOS,tükenim} = \frac{C_{SiO_2} C_{tükenim}}{C_{SiO_2} + C_{tükenim}} \quad (4.4)$$

denklemini ile ifade edilir. Uygulanan gerilimdeki artış ile tükenim bölgesi genişliği artmakta ve  $C_{tükenim}$  değeri ise giderek azalmaktadır. Bu nedenle tükenim durumunda artan geçit gerilimi ile birlikte MOS kapasitörün toplam kapasitansı azalmaktadır. Toplam kapasitanstaki bu azalış terslenme durumuna kadar devam eder.

Terslenme durumunda, tükenim bölgesi genişliği en büyük değerine ulaşır ve uygulanan gerilimdeki artış ile genişlik değişmez. Bu durumda toplam kapasitans ise en küçük değerinde sabit olarak kalır. Terslenme durumundaki toplam kapasitans

$$C_{MOS,terslenme} = C_{min} = \frac{\epsilon_{SiO_2} \epsilon_0}{t_{SiO_2} + (\epsilon_{SiO_2} / \epsilon_{Si}) w_m} (F / cm^2) \quad (4.5)$$

denklemini ile verilmektedir. Burada  $w_m$ , tükenim bölgesi genişliğinin en büyük değeridir ve ifadesi

$$w_m = \sqrt{\frac{4\epsilon_{Si} \epsilon_0 kT \ln(N_A / n_i)}{q^2 N_A}} \quad (4.6)$$

şeklindedir. Terslenme durumunda, hesaplanan birim alan başına toplam kapasitans değerleri Çizelge 4.2’de verilmiştir.

Silisyumun üst yüzeyinde toplanan uzay yükü (terslenme durumunda olduğu için yüzeyde elektronlar toplanır)

$$Q_{UV} = -qN_A w_m \quad (4.6)$$

denklemini ile elde edilir. MOS kapasitörün eşik gerilimi ise,

$$V_T = \frac{qN_A w_m}{C_{SiO_2}} + 2\psi_B \quad (4.7)$$

ifadesi ile verilir. Burada  $\psi_B$ , geçit gerilimi uygulanmadığında yarıiletken üzerindeki potansiyel düşmesidir (yarıiletkenin öz Fermi seviyesi ile katkılanmış durumdaki Fermi seviyesi arasındaki fark) ve

$$\psi_B = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (4.7)$$

bağıntısı ile verilir.

Düz bant gerilimi, denge halindeki bir MOS kapasitörde metalin ve yarıiletkenin Fermi enerjilerinin aynı seviyeye gelmesi için geçide uygulanması gereken gerilimdir. Bu nedenle düz bant gerilimi metalin ve yarıiletkenin iş fonksiyonları arasındaki farka eşittir:

$$V_{DB} = \phi_M - \phi_S \quad (4.8)$$

Yarıiletkenin iş fonksiyonu

$$\phi_S = \chi + \frac{E_g}{2q} + \psi_B \quad (4.9)$$

ifadesi ile verilir. Burada  $\chi$  yarıiletkenin elektron ilgisi,  $E_g$  yarıiletkenin yasak bant aralığı ve  $\psi_B$  ise Denklem (4.7) ile verilen yarıiletken üzerindeki potansiyel düşmesidir. 4.8 ve 4.9 denklemleri kullanılarak düz bant gerilimi için

$$V_{DB} = \phi_M - \left( \chi + \frac{E_g}{2q} + \psi_B \right) \quad (4.10)$$

ifadesi yazılabilir.

$$\begin{aligned}\phi_{Al} &= 4.01 \text{ V} & E_g &= 1.12 \text{ eV} \\ \chi_{Si} &= 4.05 \text{ V} & n_i &= 1.45 \times 10^{10} \text{ cm}^{-3} \\ & & N_A &= 10^{17} \text{ cm}^{-3}\end{aligned}$$

MOS kapasitörlerin oluşturulmasında kullanılan Al ve Si için literatürde geçen yukarıdaki değerlerden yararlanılarak,  $\psi_B$  ve düz bant gerilimi

$$\psi_B = 0.41 \text{ V}$$

$$V_{DB} = -1.01 \text{ V}$$

olarak hesaplanmıştır.

Terslenme durumunda tükenim bölgesindeki uzay yükü Denklem (4.6)'dan

$$Q_{UY} = 1.70 \times 10^{-7} \text{ C/cm}^2$$

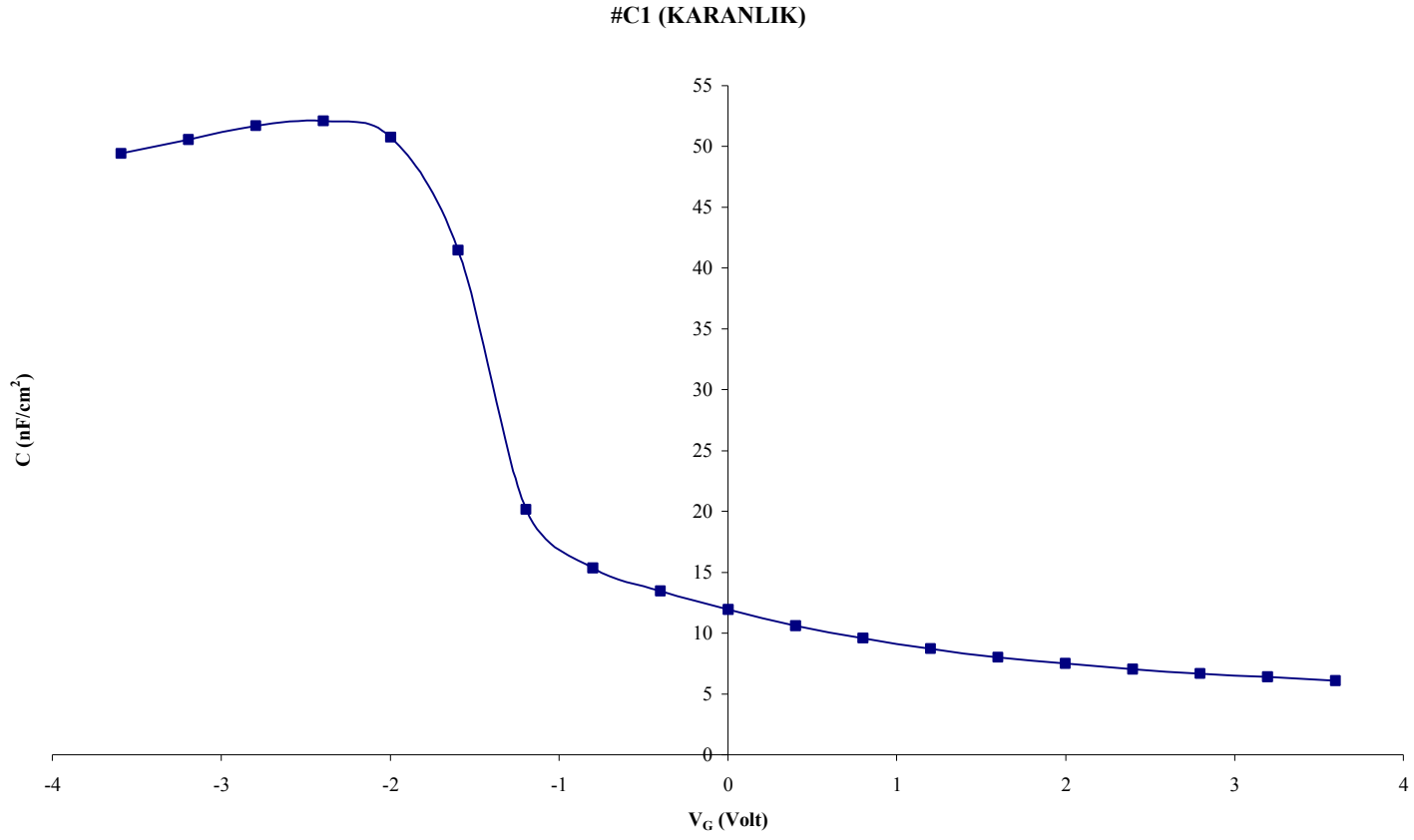
olarak elde edilmiştir.

Çizelge 4.1 Karanlık ve aydınlık ortamda #C1, #C2 ve #C3 örneklerinden elde edilen birim alan başına C-V değerleri

KARANLIK				AYDINLIK			
	#C1	#C2	#C3		#C1	#C2	#C3
$V_G$ (Volt)	C (nF/cm <sup>2</sup> )	C (nF/cm <sup>2</sup> )	C (nF/cm <sup>2</sup> )	$V_G$ (Volt)	C (nF/cm <sup>2</sup> )	C (nF/cm <sup>2</sup> )	C (nF/cm <sup>2</sup> )
-3.6	49.41	34.71	30.75	-3.6	48.08	34.50	30.80
-3.2	50.55	35.23	29.59	-3.2	49.21	35.07	29.66
-2.8	51.71	35.93	27.34	-2.8	50.36	35.77	27.43
-2.4	52.09	36.36	22.97	-2.4	50.76	36.24	23.29
-2.0	50.75	35.08	16.23	-2.0	49.64	35.00	16.76
-1.6	41.48	27.23	13.29	-1.6	41.06	27.37	13.69
-1.2	20.17	13.78	12.14	-1.2	20.79	14.37	12.74
-0.8	15.35	10.50	11.49	-0.8	16.23	11.26	13.11
-0.4	13.44	9.32	11.20	-0.4	15.87	11.28	14.34
0.0	11.91	8.89	11.78	0.0	16.37	12.01	15.45
0.4	10.60	8.19	11.76	0.4	15.54	11.68	16.09
0.8	9.55	7.07	9.82	0.8	11.80	8.53	15.95
1.2	8.71	6.31	8.73	1.2	9.89	7.10	14.64
1.6	8.00	5.77	7.91	1.6	8.85	6.29	12.03
2.0	7.49	5.37	7.43	2.0	8.20	5.74	9.55
2.4	7.03	5.03	7.02	2.4	7.61	5.33	8.64
2.8	6.66	4.76	6.64	2.8	7.12	5.00	8.06
3.2	6.38	4.53	6.43	3.2	6.78	4.73	7.61
3.6	6.09	4.34	6.19	3.6	6.42	4.50	7.16

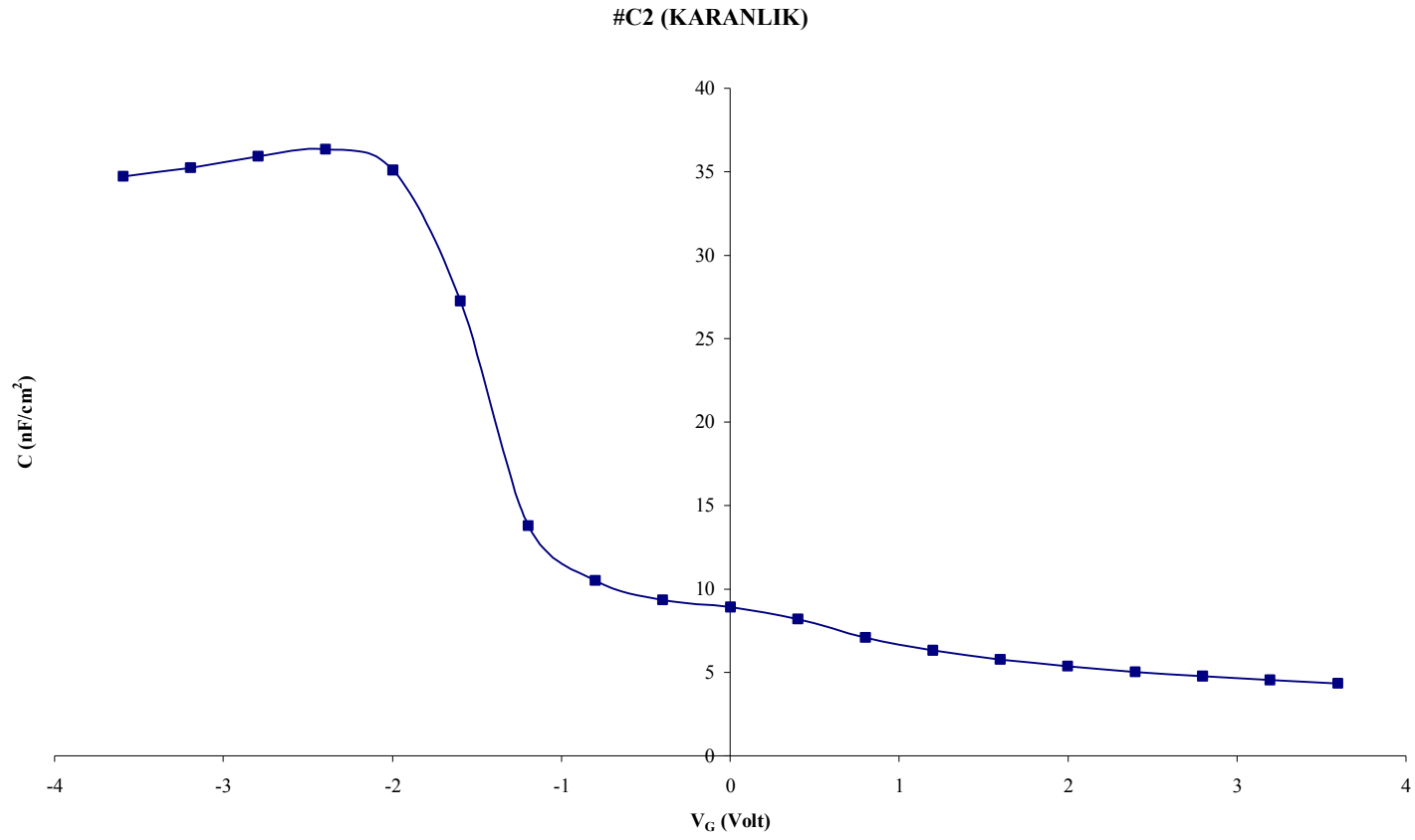
Çizelge 4.2 Teorik olarak hesaplanan birim alan başına  $C_{ok}$ ,  $C_{max}$  ve  $C_{min}$  kapasitans değerleri. ( $\epsilon_{SiO_2}=3.9$ ,  $\epsilon_0=8.86 \times 10^{-14}$  F/cm)

	#C1 (25 nm)	#C2 (33 nm)	#C3 (110 nm)
$C_{ok}$ (nF/cm <sup>2</sup> )	138	105	31.4
$C_{max}$ (nF/cm <sup>2</sup> )	138	105	31.4
$C_{min}$ (nF/cm <sup>2</sup> )	57.9	51.0	23.8

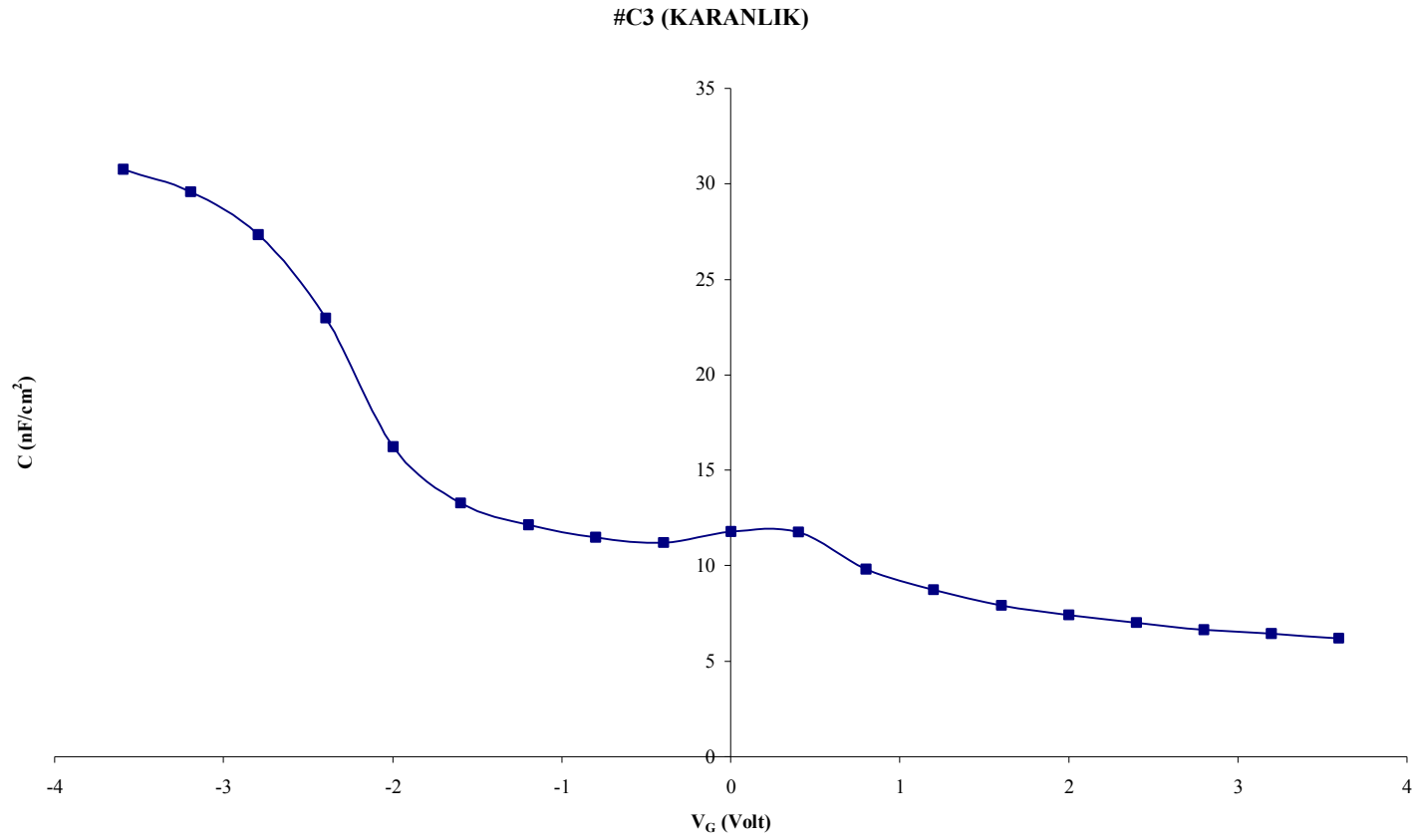


Şekil 4.1 25 nm kalınlığında  $\text{SiO}_2$  tabakası olan MOS kapasitör için karanlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği

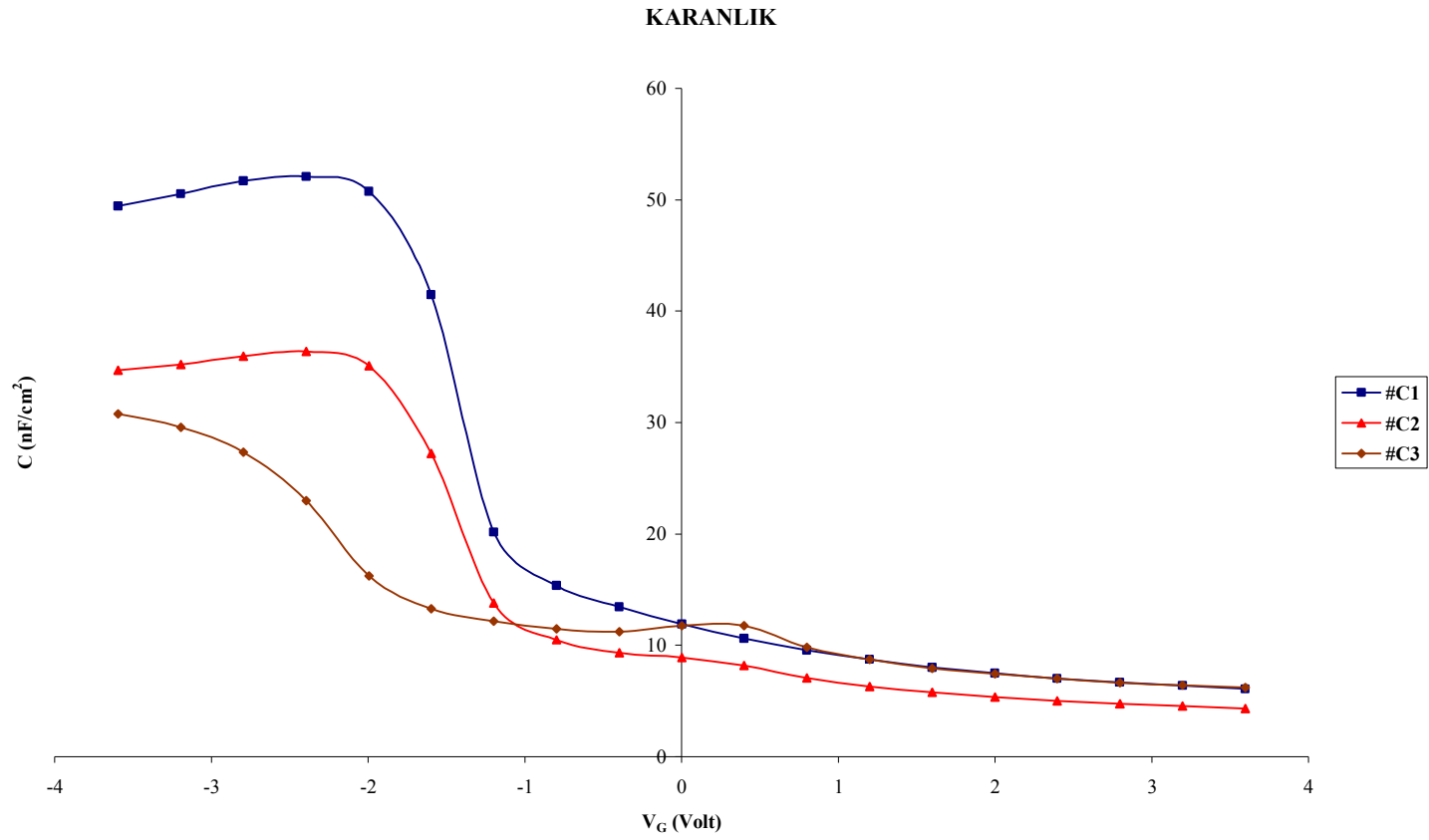




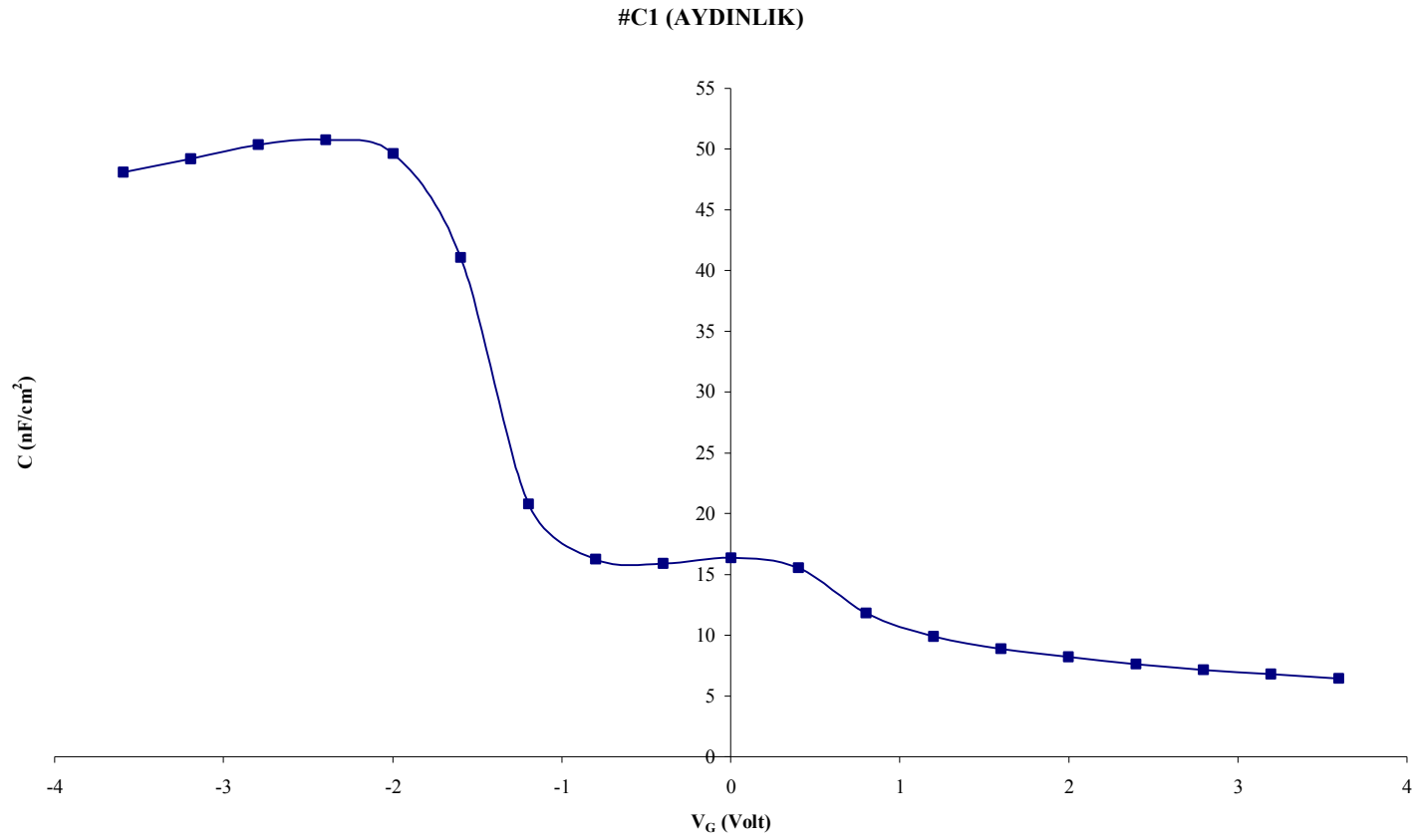
Şekil 4.2 33 nm kalınlığında SiO<sub>2</sub> tabakası olan MOS kapasitör için karanlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği



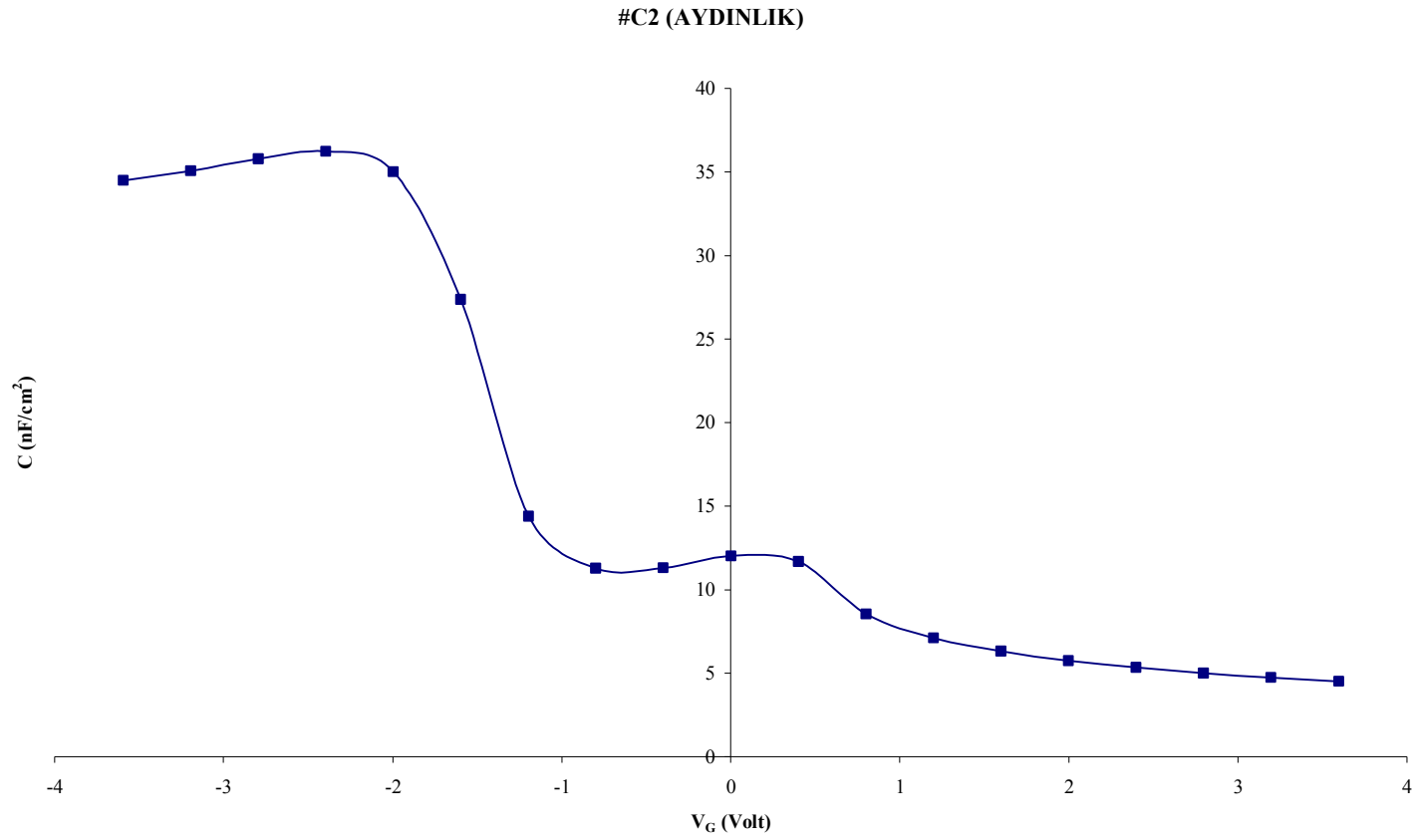
Şekil 4.3 110 nm kalınlığında SiO<sub>2</sub> tabakası olan MOS kapasitör için karanlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği



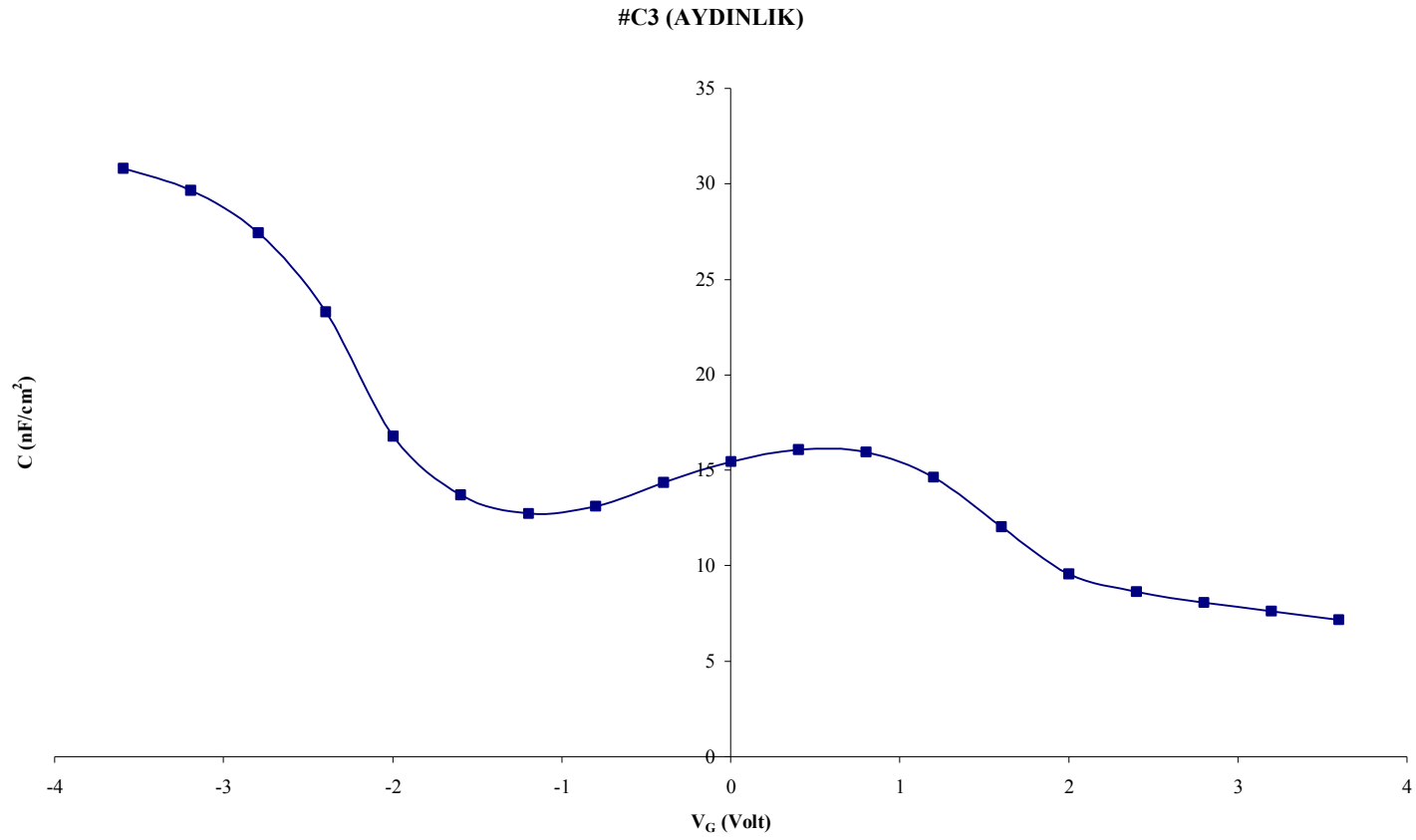
Şekil 4.4 Karanlık ortamda kapasitans-gerilim eğrilerinin  $\text{SiO}_2$  tabakası kalınlığı ile değişimi



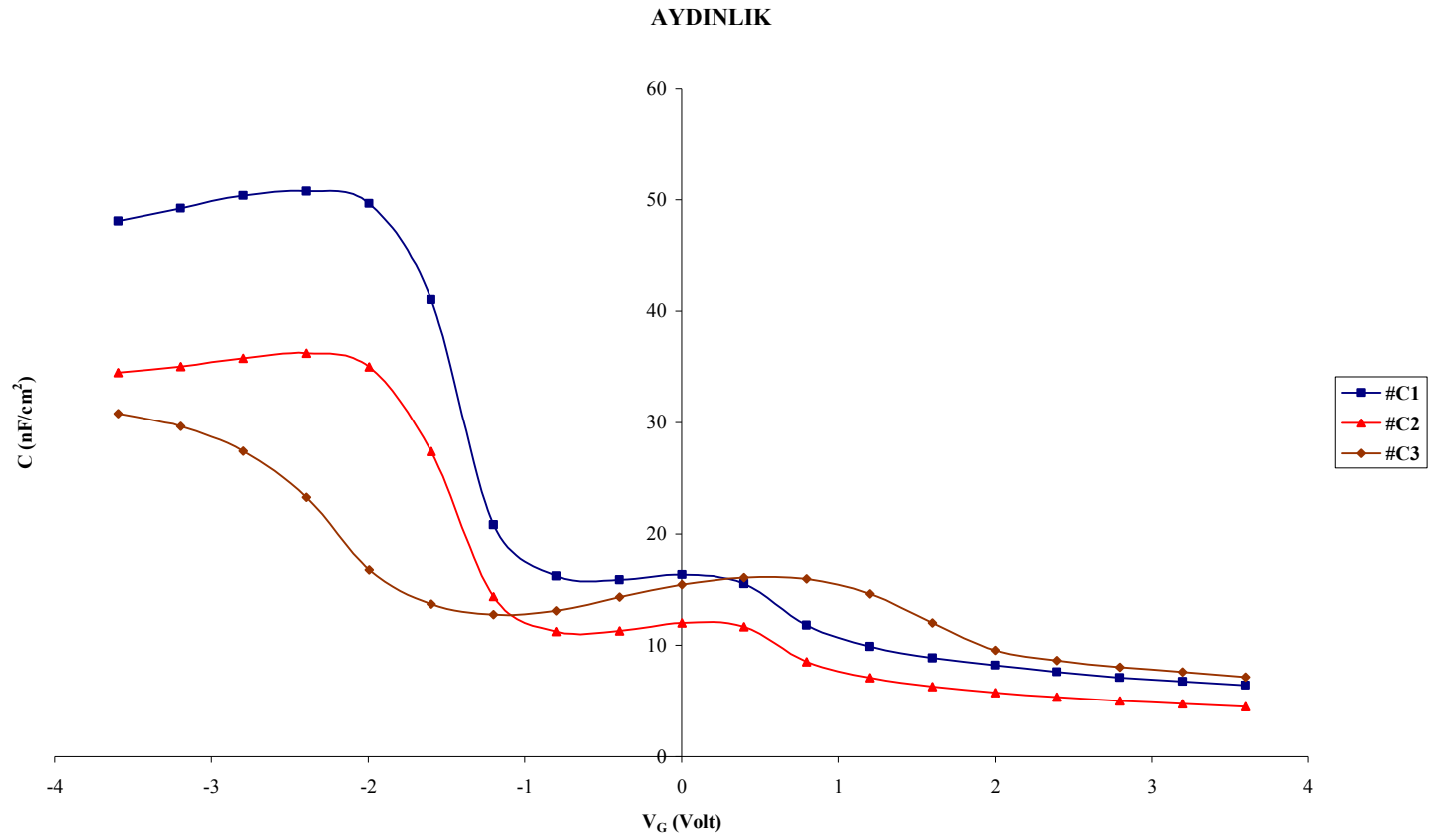
Şekil 4.5 25 nm kalınlığında SiO<sub>2</sub> tabakası olan MOS kapasitör için aydınlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği



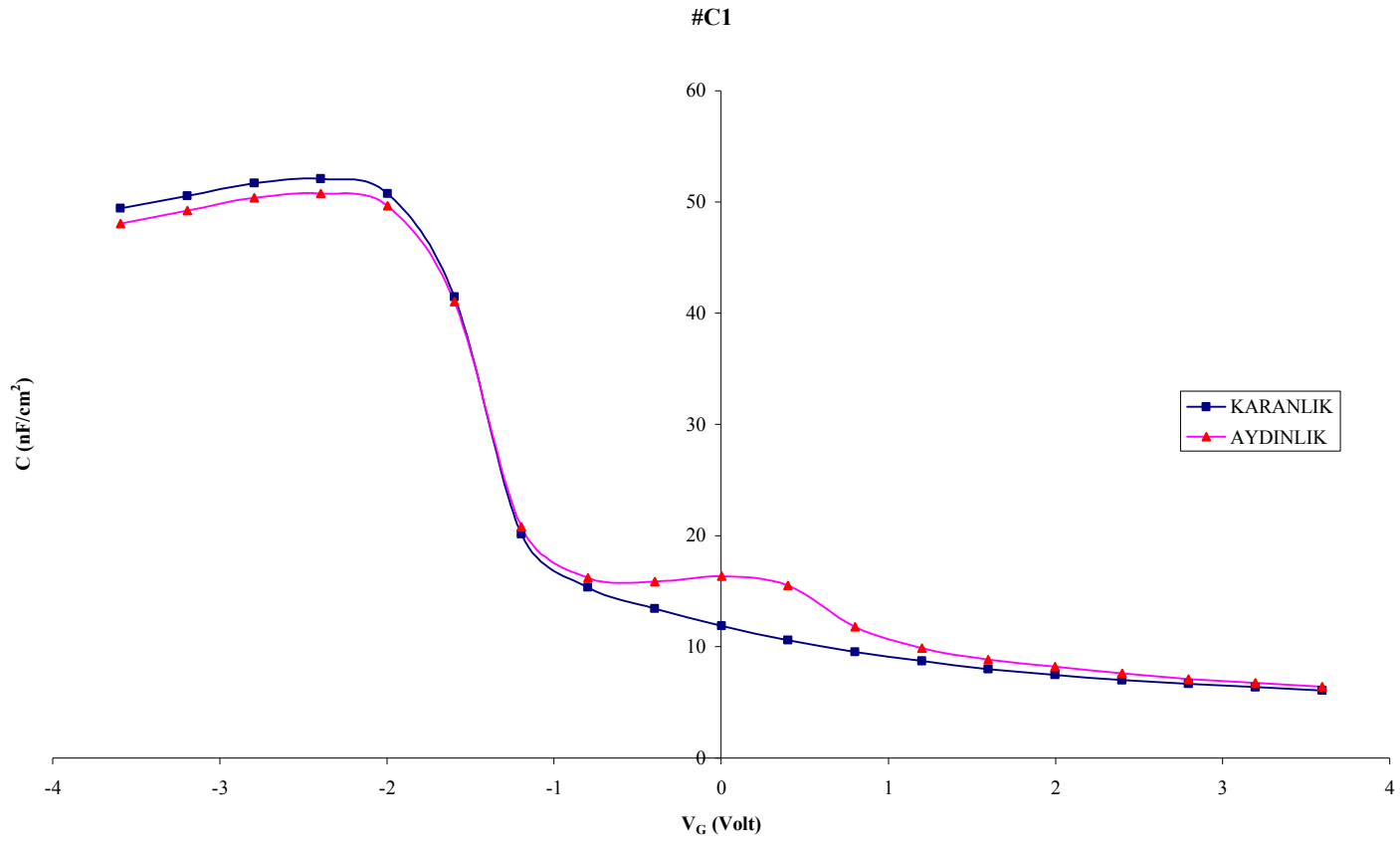
Şekil 4.6 33 nm kalınlığında SiO<sub>2</sub> tabakası olan MOS kapasitör için aydınlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği



Şekil 4.7 110 nm kalınlığında SiO<sub>2</sub> tabakası olan MOS kapasitör için aydınlık ortamda elde edilen birim alan başına kapasitans-gerilim grafiği

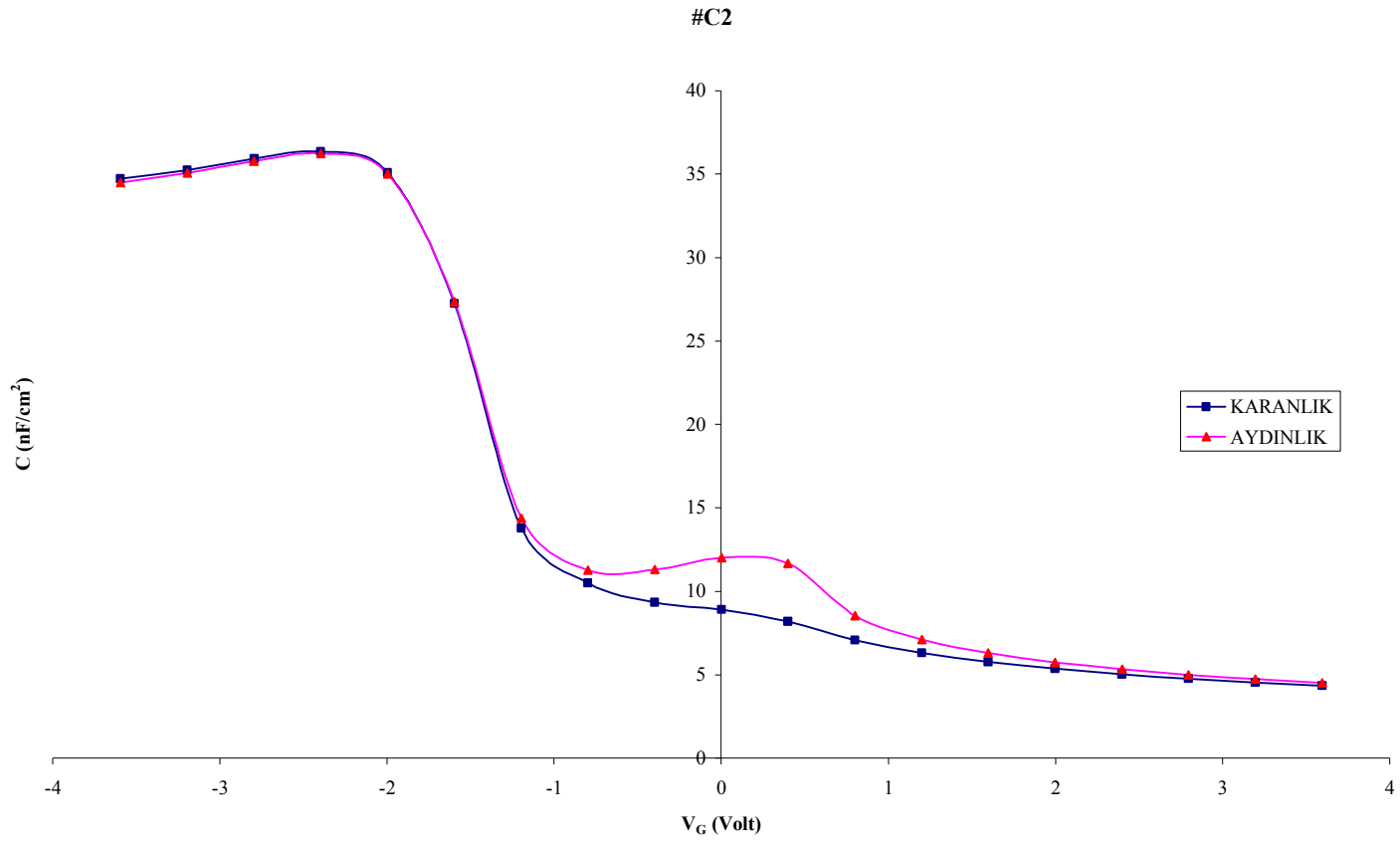


Şekil 4.8 Aydınlik ortamda kapasitans-gerilim eğrilerinin  $\text{SiO}_2$  tabakası kalınlığı ile değişimi

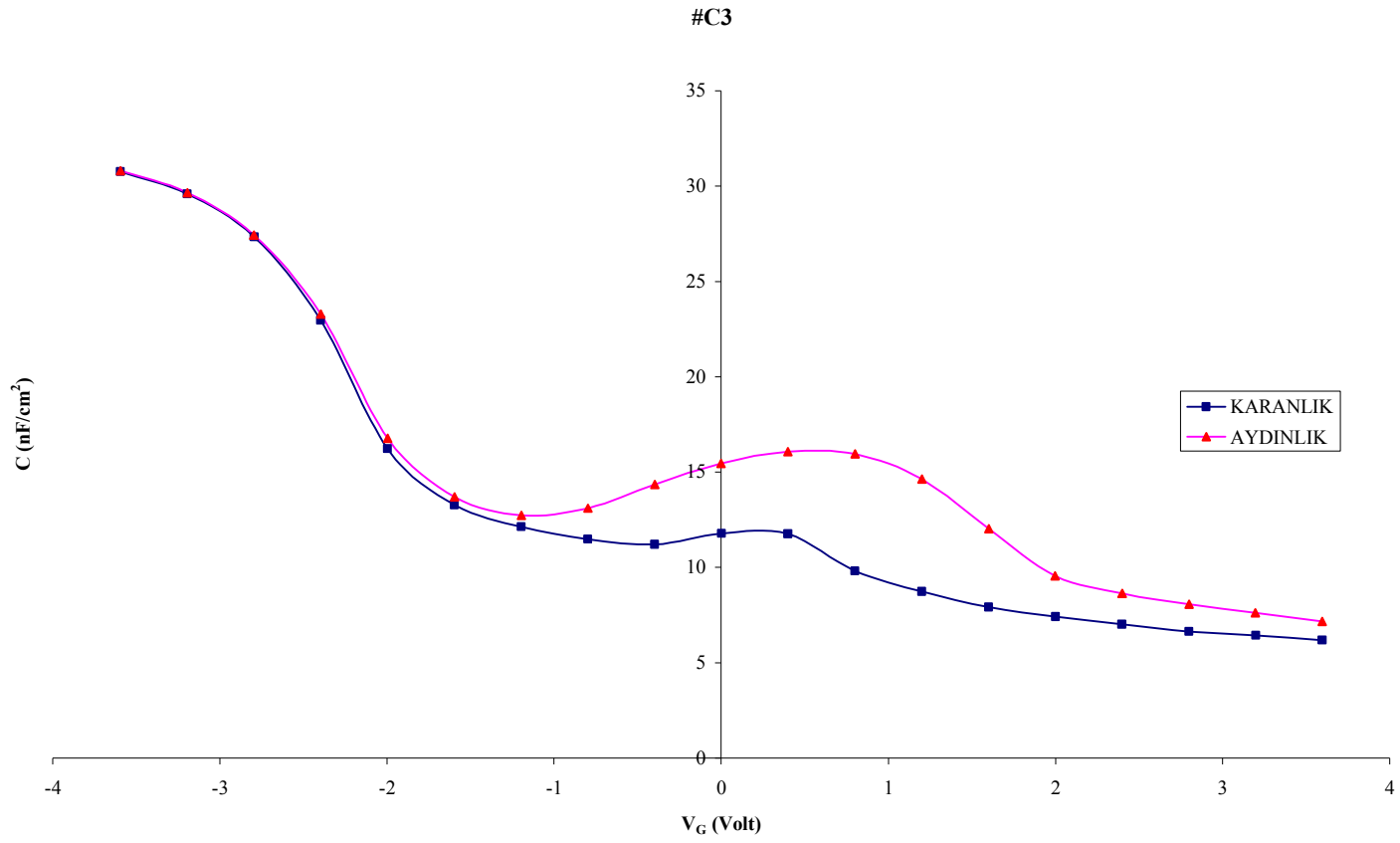


Şekil 4.9 25 nm SiO<sub>2</sub> tabakası olan MOS kapasitörün aydınlık ve karanlık ortamda kapasitansındaki değişim





Şekil 4.10 33 nm SiO<sub>2</sub> tabakası olan MOS kapasitörün aydınlık ve karanlık ortamda kapasitansındaki değişim



Şekil 4.11 110 nm SiO<sub>2</sub> tabakası olan MOS kapasitörün aydınlık ve karanlık ortamda kapasitansındaki değişim

## SONUÇ

p-tipi silisyum yarıiletken plakalar üzerinde 25, 33 ve 110 nm kalınlıklarında SiO<sub>2</sub> büyütülmüş ve üzerlerine buharlaştırma yöntemi ile alüminyum kaplanarak Metal-Oksit-Yarıiletken (MOS) kapasitörler oluşturulmuştur. Oluşturulan bu MOS kapasitörlerin aydınlık ve karanlık ortamda kapasitans-gerilim ölçümleri yapılmıştır. Bu ölçümler sonucunda 110nm kalınlığında SiO<sub>2</sub> tabakasına sahip #C3 örneğinin kapasitans değerlerinin teorik değerler ile uyumlu olduğu görülmüştür. 25 nm ve 33 nm SiO<sub>2</sub> tabakası kalınlıklarına sahip #C1 ve #C2 örneklerinin kapasitans değerleri ise beklenildiği gibi teorik değerlerden daha küçük çıkmıştır. Çünkü SiO<sub>2</sub> tabakası kalınlığının azalması ile oksit tabakasının yalıtkanlık özelliği azalmakta ve dolayısı ile MOS kapasitörün toplam kapasitans değeri azalmaktadır.

Yapılan bu çalışma MOS kapasitörlerin elektriksel özelliklerini belirlemektedir. Günümüzde MOS kapasitörler oldukça küçük boyutlarda üretilmektedir. Ancak, bu çalışmada da görüldüğü gibi, boyutların küçülmesi ile MOS kapasitörlerin elektriksel özellikleri değişmekte ve bozulmaktadır. Bu olumsuzlukların giderilmesi için, dielektrik sabiti SiO<sub>2</sub>'den daha büyük olan (high-κ) dielektrik malzemeler üzerinde çalışılmaktadır. Gelecek çalışmalarda bu malzemelerin elektriksel özelliklerinin incelenmesi düşünülmektedir.

**KAYNAKLAR**

Crupi F., G. Iannaccone, I. Crupi, R. Degraeve, G. Groeseneken and H. E. Maes, 2001. Characterisation of Soft Breakdown in Thin Oxide nMOSFETs Based on the Analysis of the Substrate Current, IEEE Transactions on Electron Devices, Vol. 48, No. 6, p.1109-1112

H. C. Casey, 1999. "Devices For Integrated Circuits", John Wiley & Sons, New York

Jarzebski, Z. M. 1973. Oxide Semiconductors, Pergamon Press, Oxford

Kameda, E., T. Matsuda, Y. Emura and T. Ohzone, 1999. Study of the Current-Voltage Characteristics in MOS Capacitors with Si-Implanted Gate Oxide, Solid State Electronics, 43, p.555-563

Morgan, D. V. and K. Board, 1991. An Introduction to Semiconductor Microtechnology, John Wiley & Sons, Chichester

Nicollian, E. H. and J. R. Brews, 1982. MOS (Metal Oxide Semiconductor) Physics and Technology, John Wiley & Sons, New York

Norton, D. P. 2003. Capacitance-Voltage Measurements on Ultrathin Gate Dielectrics, Solid State Electronics, 47, p.801-805

R. F. Pierret, 1990. "Field Effect Devices", Second Edition, Addison-Wesley

Sombra, S. S., U. M. S. Costa, V. N. Freire, E. A. de Vasconcelos and E. F. da Silva Jr. 2002. The Role of Multiple Damaged Layers at the Si/SiO<sub>2</sub> Interface on the Dielectric Breakdown of MOS Capacitors, Applied Surface Science, 190, p. 35-38

Streetman B. G. and S. Banerjee, 2000. "Solid State Electronic Devices", Fifth Edition, Prentice Hall

Sze, S. M. 1981. Physics of Semiconductor Devices, John Wiley & Sons, New York

Sze, S. M. 1985. Semiconductor Devices Physics and Technologies, Murray Hill, New Jersey.

<http://ece-www.colorado.edu/~bart/book/>

<http://developer.intel.com/technology/>

<http://www.inst.eecs.berkeley.edu/~ee42/Fall2001/LectNotes>

**TEŞEKKÜR**

Yüksek Lisans çalışmam boyunca her konuda ve karşılaştığım problemlerde bana her zaman yardımcı olan ve destek veren kıymetli hocam ve danışmanım Sayın Prof. Dr. Yüksel BEKTÖRE'ye teşekkürlerimi sunarım. Tezim için örneklerin hazırlanmasında yardımlarını esirgemeyen Orta Doğu Teknik Üniversitesi'nden Sayın Prof. Dr. Raşit TURAN'a, Doç. Dr. Mehmet PARLAK'a, Arş Gör. Gülnur AYGÜN'e ve Arş. Gör. Uğur SERİNCAN'a teşekkürü bir borç bilirim. Tezimde bana yardımcı olan Sayın Hocam Yrd. Doç. Dr. Muhitdin AHMETOĞLU'na, sevgili ağabeyim Arş. Gör. Kadir ERTÜK'e ve diğer arkadaşlarıma da teşekkür ederim. Ayrıca bugüne kadar benden hiçbir zaman desteğini esirgemeyen Aileme de sonsuz teşekkürlerimi sunarım.

**ÖZGEÇMİŞ**

M. Cüneyt HACİİSMAİLOĞLU, 24.04.1980 yılında Çorum'da doğdu. İlk ve orta öğrenimini tamamlayarak 1998 yılında Çorum Anadolu Öğretmen Lisesi'nden mezun oldu. Aynı yıl Uludağ Üniversitesi Fen Edebiyat Fakültesi Fizik Bölümü'nde lisans eğitimine başladı. Temmuz 2002'de lisans eğitimini tamamlayarak Fizik Bölümünden bölüm ikinciliği ile mezun oldu. Eylül 2002'de Uludağ Üniversitesi Fen Bilimleri Enstitüsü Fizik Anabilim Dalı Katıhal Fiziği Bilim Dalı'nda yüksek lisansa başladı. Kasım 2002'de aynı anabilim dalında Araştırma Görevlisi olarak göreve atandı. M. Cüneyt HACİİSMAİLOĞLU halen aynı görevi sürdürmektedir.